

# PATENT ABSTRACTS OF JAPAN

(11) Publication number : 2000-122596

(43) Date of publication of application : 28. 04. 2000

---

(51) Int. Cl. G09G 3/20

G02F 1/133

G09G 3/36

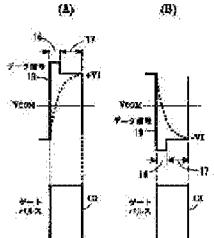
---

(21) Application number : 10-294245 (71) Applicant : INTERNATL BUSINESS  
MACH CORP <IBM>

(22) Date of filing : 15. 10. 1998 (72) Inventor : TAKENAKA ATSUSHI  
IKEZAKI MITSURU

---

## (54) DISPLAY DEVICE



### (57) Abstract:

PROBLEM TO BE SOLVED: To prevent the occurrence of an unclear display image and to improve the quality of an animation by allowing a writing means to write in black color for other pixel line during an interval in which an image is at least written in one pixel line.

SOLUTION: An image, which is displayed to a user, is written into all pixels of one pixel line during one interval of one frame interval by gating both a black color signal portion 16 and an image signal portion 17 of a data signal. Then, during a next frame interval, only the portion 16 is gated prior to writing an image in one pixel line and black color for eliminating the persistence of vision is written into

all pixels of the line. Thus, two kind gate/pulse DI has a wide width to gate both portions 16 and 17.

---

---

#### LEGAL STATUS

[Date of request for examination] 27.12.1999

[Date of sending the examiner's decision of rejection] 05.11.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3734629

[Date of registration] 28.10.2005

[Number of appeal against examiner's decision of rejection] 2003-01133

[Date of requesting appeal against examiner's decision of rejection] 17.01.2003

[Date of extinction of right]

\* NOTICES \*

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

---

#### CLAIMS

---

---

[Claim(s)]

[Claim 1] It is the display which has the screen which has two or more pixel Rhine, and the write-in means which writes an image in a target serially at each of two or more above-mentioned pixel Rhine, and is characterized by the above-mentioned write-in means writing black in other pixel Rhine at the period which writes the above-mentioned image in at least one pixel Rhine.

[Claim 2] pixel Rhine besides the above -- the above -- the display

according to claim 1 characterized by detaching only the distance of a schedule from one pixel Rhine even if few.

[Claim 3] the above-mentioned write-in means -- the above -- the display according to claim 2 characterized by writing the above-mentioned black in two or more pixel Rhine where only the distance of the above-mentioned schedule is detached from one pixel Rhine even if few.

[Claim 4] It has two or more gate lines arranged along other directions which cross in two or more data lines and the one above-mentioned direction which were arranged along one direction. And the screen by which one pixel is formed in each of the intersection of two or more above-mentioned data lines and two or more above-mentioned gate lines, The data-line drive circuit which supplies the data signal containing a black signal part and an image signal part to each of two or more above-mentioned data lines, It has the gate line drive circuit which supplies a gate pulse to a target serially at each of two or more above-mentioned gate lines. This gate line drive circuit While supplying the large gate pulse which carries out the gate of both the above-mentioned black signal part of the above-mentioned data signal, and the above-mentioned image signal part to the write-in period which writes in the above-mentioned data signal to at least one gate line [ one ] The display characterized by supplying the narrow gate pulse which carries out the gate of the above-mentioned black signal part of the above-mentioned data signal to other gate lines.

[Claim 5] a gate line besides the above -- the above -- the display according to claim 4 characterized by separating only the distance of a schedule from one gate line even if few.

[Claim 6] The above-mentioned black signal part is a display according to claim 5 characterized by being contained in the anterior part of the above-mentioned data signal.

[Claim 7] the above-mentioned gate line drive circuit -- the above -- two or more gate lines by which only the distance of a schedule is separated from one gate line even if few -- the above -- the display according to claim 6 characterized by supplying a narrow gate pulse.

[Claim 8] It has two or more gate lines arranged along other directions which cross in two or more data lines and the one above-mentioned direction which were arranged along one direction. And the screen by which one pixel is formed in each of the intersection of two or more above-mentioned data lines and two or more above-mentioned gate lines, The data-line drive circuit which supplies the data signal containing a black signal part and an image signal part to each of two or more above-mentioned data lines, It has the gate line drive circuit which supplies

a gate pulse to a target serially at each of two or more above-mentioned gate lines. This gate line drive circuit While supplying the 1st gate pulse which carries out the gate of the above-mentioned image signal part of the above-mentioned data signal between the write-in periods which write in the above-mentioned data signal to at least one gate line The display characterized by supplying the 2nd gate pulse which carries out the gate of the above-mentioned black signal part of the above-mentioned data signal to other gate lines.

[Claim 9] a gate line besides the above -- the above -- the display according to claim 8 characterized by separating only the distance of a schedule from one gate line even if few.

[Claim 10] The above-mentioned black signal part is a display according to claim 9 characterized by being contained in the anterior part of the above-mentioned data signal.

[Claim 11] The above-mentioned image signal part is a display according to claim 9 characterized by being contained in the anterior part of the above-mentioned data signal.

[Claim 12] the above-mentioned gate line drive circuit -- the above -- the display according to claim 10 or 11 characterized by supplying the 2nd gate pulse of the above to two or more gate lines by which only the distance of a schedule is separated from one gate line even if few.

[Claim 13] It has Y gate lines arranged along other directions which cross in two or more data lines and the one above-mentioned direction which were arranged along one direction. Y is one or more integers, and one pixel is formed in each of the intersection of two or more above-mentioned data lines and two or more above-mentioned gate lines here. And the screen in which two or more pixels in alignment with each of Y above-mentioned gate lines form one pixel Rhine, The data-line drive circuit which supplies the data signal containing a black signal part and an image signal part to each of two or more above-mentioned data lines, It has the gate line drive circuit which supplies a gate pulse to a target serially at each of Y above-mentioned gate lines. This gate line drive circuit While supplying the large gate pulse which carries out the gate of both the above-mentioned black signal part of the above-mentioned data signal, and the above-mentioned image signal part to the write-in period which writes in the above-mentioned data signal to at least one gate line Other gate lines separated from one gate line even if few are supplied. the narrow gate pulse which carries out the gate of the above-mentioned black signal part of the above-mentioned data signal -- the above -- the above-mentioned gate line drive circuit the frame period containing a period T1 thru/or TN -- Y above-mentioned gate lines

-- respectively -- alike -- the above -- a large gate pulse -- serially -- a target -- supplying (here) One frame period whose N is 1 thru/or Y, and the next frame period are divided by the blanking period. And the display characterized by writing the above-mentioned black signal part in at least one pixel Rhine following pixel Rhine where the above-mentioned black was written in the period TN of the last of the one above-mentioned frame period at the above-mentioned blanking period.

[Claim 14] The polarity of the data signal supplied to each pixel Rhine is reversed for every frame period, and the above-mentioned blanking period contains even periods TB 1 thru/or TBE (it is here). The above-mentioned period TB 1 thru/or each die length of TBE are equal to the above-mentioned period T1 thru/or each die length of TN. And the display according to claim 13 characterized by adjusting the polarity of the above-mentioned data signal to the above-mentioned blanking period so that the polarity of the data signal supplied at the precedence frame period and an opposite polarity may be given.

[Claim 15] The polarity of the data signal supplied to each pixel Rhine is reversed for every frame period, and the above-mentioned blanking period includes odd periods [ TB and TBO ] 1 (it is here). Each die length of the above-mentioned periods [ TB and TBO ] 1 is equal to the above-mentioned period T1 thru/or each die length of TN. And the display according to claim 13 characterized by writing the above-mentioned black signal part in pixel Rhine of a number equal to the number of the above-mentioned periods [ TB and TBO ] 1 between the above-mentioned blanking periods.

[Claim 16] The above-mentioned black signal part is a display according to claim 14 or 15 characterized by being contained in the anterior part of the above-mentioned data signal.

[Claim 17] the above-mentioned gate line drive circuit -- the above -- two or more gate lines by which only the distance of a schedule is separated from one gate line even if few -- the above -- the display according to claim 16 characterized by supplying a narrow gate pulse.

---

[Translation done.]

\* NOTICES \*

JPO and NCIPI are not responsible for any  
damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.
  3. In the drawings, any words are not translated.
- 

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates, for example to displays of a high speed of response for which can prevent that a display image becomes indistinct based on the lap of the after-image of the display image of a precedence frame period, and the display image of the present frame period, and the quality of an animation can be improved, such as liquid crystal display (LCD) equipment, a plasma display, and a field emission display.

[0002]

[Description of the Prior Art] LCD equipment of a high speed of response like well-known bend mode LCD equipment before is beginning to be used in order to improve the image quality of an animation. In an animation, a display image changes at high speed. When the trouble of the LCD equipment of a high speed of response is explained with reference to drawing 1 (A) and (B), drawing 1 (A) shows the rough configuration of conventional LCD equipment including the LCD array 1, the data-line drive circuit 2, and the gate line drive circuit 3. For example, the LCD array 1 has 640x480 pixels of a VGA (video graphic array) method. In this case, the data-line drive circuit 2 supplies image data to the 640 data lines connected to 640 pixels of 1-pixel Rhine, respectively, and the gate line drive circuit 3 supplies a gate pulse to a target serially at 480 gate lines. Furthermore, when writing data in the 1st pixel Rhine which meets the gate line G1, speaking concretely, the image data to 640 pixels of 1st pixel Rhine is supplied to the data line from the data-line drive circuit 2, and the gate line drive circuit 3 supplies a gate pulse to the gate line G1. This gate pulse carries out the turn-on of the thin film transistor of each pixel of 1st pixel Rhine, and as a result, this image data is memorized by the capacitor of each pixel formed with a pixel electrode, a liquid crystal layer, and a common electrode so that \*\*\* [ in this field ]. When data are written in the 2nd pixel Rhine which meets the gate line G2, the image data to 640 pixels of 2nd pixel Rhine is supplied to the data line from the data-line drive circuit 2, the gate line drive circuit 3 supplies a gate pulse to the gate line G2, and this actuation is repeated hereafter.

[0003] Drawing 1 (B) shows the timing chart for supplying a gate pulse to a target serially to 480 gate lines. As shown in drawing 1 (B), a gate pulse is serially supplied to a target at 480 gate lines, and, as a result, image data is serially written in a target among this one frame period in pixel Rhine at one frame period. The blanking period is prepared between [ adjoining / two ] frame periods. A gate pulse has the width of face expressed with Period TA, and this period is expressed with (die length of frame period)/(the number of gate lines). Period TA is designed so that image data may fully be written in the capacitance of each pixel and the turn-on of the thin film transistor of each pixel may be carried out.

[0004]

[Problem(s) to be Solved by the Invention] In order that the trouble of this method may display an animation, when a display image is changed for every frame period, the display image of one frame period remains in human being's eyes as an after-image, it is lapping with the display image of the next frame period, and, as a result, the quality of a display image deteriorates.

[0005] Drawing 2 is the timing chart of the conventional method for solving the problem of the after-image produced by the method of drawing 1 . One frame period is divided into the 1/2-frame period A and the 1/2-frame period B. During the 1st 1/2-frame period A, 480 gate lines are serially energized by the target, image data is written in all pixel Rhine of a LCD array, and between the 2nd 1/2-frame period B, 480 gate lines are serially energized by the target and write black data in all pixel Rhine of a LCD array. This actuation is performed by correcting the control system of the LCD equipment shown in drawing 1 (A). If write-in actuation of the 2nd 1/2-frame period B is explained, when black data will be written in the 1st pixel Rhine which meets the gate line G1, the black data to 640 pixels of 1st pixel Rhine are memorized in the data-line drive circuit 2, and the gate line drive circuit 3 supplies a gate pulse to the gate line G1. This gate pulse carries out the turn-on of the thin film transistor of each pixel of 1st pixel Rhine, and, as a result, this black data is memorized by the capacitor of each pixel. When black data are written in the 2nd pixel Rhine which meets the gate line G2, the image data to 640 pixels of 2nd pixel Rhine is memorized in the data-line drive circuit 2, the gate line drive circuit 3 supplies a gate pulse to the gate line G2, and this actuation is repeated. Thus, human being's eyes recognize a black image between the 2nd 1/2-frame period B, the after-image of the image displayed on the 1st frame period A is eliminated from human being's eyes between the

1/2-frame periods B, and it does not lap with the image of the next frame period. Although this method solves the problem of an after-image, by this method, since the gate pulse of a twice as many number as this is needed for an one-frame period compared with drawing 1 (B), the width of face of a gate pulse decreases to TA/2, image data is not fully written in the capacitance of a pixel by this, therefore the new trouble that control of sufficient gradation cannot be performed is produced.

[0006] Drawing 3 shows the conventional LCD equipment which solves the trouble of the method of drawing 2 . By being divided into the LCD array B containing the LCD array A containing the gate line G1 thru/or G240, the gate line G241, or G480, a LCD array is used, in order that the data-line drive circuit 4 may supply data to the LCD array A, and in order that the data-line drive circuit 5 may supply data to the LCD array B, it is used. Drawing 3 (B) is the timing chart of actuation of a LCD array. One frame period is divided at the 1/2-frame period A and the 1/2-frame period B. Between the 1/2-frame periods A of the 1st frame period, 240 gate lines of the LCD array A are serially energized by the target, and write image data in all pixel Rhine of the LCD array A. Between the 1/2-frame periods B of the 1st frame period, 240 gate lines of the LCD array A are serially energized by the target, black data are written in all pixel Rhine of the LCD array A, and 240 gate lines of the LCD array B are serially energized by the target, and write image data in all pixel Rhine of the LCD array B. The black data to the LCD array B by which the image was written in the 1st frame period are written in the 1/2-frame period A of the 2nd frame period.

[0007] Since the LCD array is divided into two half-parts, write-in actuation of the image data to the top one half A and the bottom one half B and black data is performed in mutually-independent, and the width of face of a gate pulse is maintained at the period TA which can fully write image data or black data in the capacitance of each pixel, and, thereby, this method solves the trouble of the method of drawing 2 . However, dividing a LCD array into two half-parts and two data-line drive circuits 4 and 5 are needed, supply of data in the data-line drive circuits 4 and 5 becomes complicated by this, and this method produces the new trouble that a manufacturing cost increases.

[0008]

[Means for Solving the Problem] The purpose of this invention is realizing the display which can prevent a display image becoming indistinct based on the lap of the after-image of the display image of a precedence frame period, and the display image of the present frame period, and can improve the quality of an animation, without needing two

data-line drive circuits, without dividing a LCD array into two half-parts.

[0009] The display according to this invention has the screen which has two or more pixel Rhine, and the write-in means which writes an image in a target serially at each of two or more pixel Rhine, and a write-in means is characterized by writing black in other pixel Rhine at the period which writes an image in at least one pixel Rhine.

[0010] Other pixel Rhine is characterized by detaching only the distance of a schedule from at least one pixel Rhine.

[0011] A write-in means is characterized by writing black in two or more pixel Rhine where only the distance of a schedule is detached from at least one pixel Rhine.

[0012] The indicating equipment according to this invention has two or more gate lines arranged along other directions which cross in two or more data lines and one direction which were arranged along one direction. And the screen by which one pixel is formed in each of the intersection of two or more data lines and two or more gate lines, The data-line drive circuit which supplies the data signal containing a black signal part and an image signal part to each of two or more data lines, It has the gate line drive circuit which supplies a gate pulse to a target serially at each of two or more gate lines. This gate line drive circuit While supplying the large gate pulse which carries out the gate of both the black signal part of a data signal, and the image signal part to the write-in period which writes in a data signal to at least one gate line It is characterized by supplying the narrow gate pulse which carries out the gate of the black signal part of a data signal to other gate lines.

[0013] Other gate lines are characterized by separating only the distance of a schedule from at least one gate line.

[0014] A black signal part is characterized by being contained in the anterior part of a data signal.

[0015] A gate line drive circuit is characterized by supplying a narrow gate pulse to two or more gate lines by which only the distance of a schedule is separated from at least one gate line.

[0016] The indicating equipment according to this invention has two or more gate lines arranged along other directions which cross in two or more data lines and one direction which were arranged along one direction. And the screen by which one pixel is formed in each of the intersection of two or more data lines and two or more gate lines, The data-line drive circuit which supplies the data signal containing a black signal part and an image signal part to each of two or more data

lines, It has the gate line drive circuit which supplies a gate pulse to a target serially at each of two or more gate lines. This gate line drive circuit While supplying the 1st gate pulse which carries out the gate of the image signal part of a data signal between the write-in periods which write in a data signal to at least one gate line, it is characterized by supplying the 2nd gate pulse which carries out the gate of the black signal part of a data signal to other gate lines.

[0017] An image signal part is characterized by being contained in the anterior part of a data signal.

[0018] The indicating equipment according to this invention has Y gate lines arranged along other directions which cross in two or more data lines and one direction which were arranged along one direction. Y is one or more integers, and the intersection of two or more data lines and two or more gate lines is alike, respectively, and one pixel (pixel) is formed here. And the screen in which two or more pixels in alignment with each of Y gate lines form one pixel Rhine, The data-line drive circuit which supplies the data signal containing a black signal part and an image signal part to each of two or more data lines, It has the gate line drive circuit which supplies a gate pulse to a target serially at each of Y gate lines. This gate line drive circuit While supplying the large gate pulse which carries out the gate of both the black signal part of a data signal, and the image signal part to the write-in period which writes in a data signal to at least one gate line The narrow gate pulse which carries out the gate of the black signal part of a data signal is supplied to other gate lines separated from at least one above-mentioned gate line. A gate line drive circuit A gate pulse large to each of Y gate lines is serially supplied to a target at the frame period containing a period T1 thru/or TN (here). One frame period whose N is 1 thru/or Y, and the next frame period are divided by the blanking period. And it is characterized by writing a black signal part in at least one pixel Rhine following pixel Rhine where black was written in the period TN of the last of the one frame period at a blanking period.

[0019] The polarity of the data signal supplied to each pixel Rhine is reversed for every frame period, and a blanking period is characterized by adjusting the polarity of a data signal to a blanking period so that the polarity of the data signal supplied at the precedence frame period and an opposite polarity may be given including even periods TB 1 thru/or TBE (it is here and a period TB 1 thru/or each die length of TBE are equal to a period T1 thru/or each die length of TN).

[0020] The polarity of the data signal supplied to each pixel Rhine is reversed for every frame period, and a blanking period is characterized

by writing a black signal part in pixel Rhine of a number equal to the number of the periods [ TB and TBO ] 1 between blanking periods including odd periods [ TB and TBO ] 1 (it is here and each die length of the periods [ TB and TBO ] 1 is equal to a period T1 thru/or each die length of TN).

[0021]

[Embodiment of the Invention] Drawing 4 (A) shows the LCD equipment 7 according to this invention. LCD equipment 7 includes the LCD array 8, i.e., the screen, the data-line drive circuit 9, the gate line drive circuit 10, and the clock generation circuit 11. For example, the LCD array 8 has 640x480 pixels of a VGA method, 640 pixels are horizontally arranged along with a gate line, and 480 pixels are arranged perpendicularly. If it is required that a color image should be displayed, the number of pixels will increase to x(640x3) 480, and three cels, i.e., a red cel, a green cel, and a blue cel will be formed for every pixel in this case. It is also possible to use the LCD array which has 800x600 pixels of a SVGA (super video graphic array) method or the pixel of the 1024x768 grade of an XGA (EKUSU ten dead graphic array) method. However, in order to simplify explanation and a drawing, it has 24 pixels horizontally and this invention is explained using the LCD array, i.e., the screen, which has 20 pixels perpendicularly.

[0022] One pixel is connected in order to store the charge showing the image which should be displayed on each of the intersection of the data line and a gate line. Drawing 4 (B) shows the circuit of one pixel, the source electrode of a thin film transistor (TFT) 12 is connected to the data line, and the gate electrode of TFT12 is connected to a gate line here, and the drain electrode of TFT12 is connected to the pixel electrode 13 currently formed in one glass substrate. The capacitor for storing the charge showing the image which should be displayed as the liquid crystal layer 14 pinched between the pixel electrode 13 formed in one glass substrate, the common electrode 15 carried by the glass substrate of another side, and the pixel electrode 13 and the common electrode 15 is formed. When image data is written in a pixel, the gate pulse impressed to a gate line carries out the turn-on of TFT12, the electrical potential difference showing the image data currently impressed to the data line by this is impressed to a capacitor through TFT12, and this capacitor is charged to the level showing an image.

[0023] If DC electrical potential difference is continuously impressed to a liquid crystal ingredient, a liquid crystal ingredient will deteriorate. As everyone knows, in order to prevent this degradation, the polarity of the data signal impressed to a liquid crystal ingredient

is reversed periodically. The so-called H/V reversal (Horizontal/vertical inversion) is used in the example of this invention. When H/V reversal is explained with reference to drawing 5 and 6, drawing 5 (A) shows the polarity of the data signal over a common electrode impressed to 24x20 pixels at an odd frame period, and the polarity of the data signal over a common electrode with which drawing 5 (B) is impressed to 24x20 pixels at an even-frame period is shown. Drawing 6 (A) shows the data signal of even-pixel Rhine which met the data signal of odd-pixel Rhine which met the gate line of drawing 5 (A), and the gate line of drawing 5 (B). Drawing 6 (B) shows the data signal of even-pixel Rhine of drawing 5 (A), and the data signal of odd-pixel Rhine of drawing 5 (B). The polarity of a data signal changes by turns to VCOM (the case of this example 0 V) which is the electrical potential difference impressed to the common electrode 15. If four pixels on the intersection of the data lines DL1 and DL2 and the gate lines G1 and G2 are observed as an example, the polarity of the pixel which sets horizontally and adjoins is mutually opposite, and the polarity of the pixel which adjoins in a perpendicular direction is mutually opposite. Moreover, the polarity of four pixels in an odd frame period is opposite to the polarity in an even-frame period. Thus, the polarity of one pixel is changed for every odd number or even-frame period, and the polarity of the adjoining pixel is mutually opposite.

[0024] In this invention, the data signal over one pixel The image displayed to a part for part I 16, i.e., the black signal part, and the (b) user who specify the full black color (black) fixed to voltage-level +VB or -VB in order to eliminate the (a) after-image, as shown in drawing 6 (A), For example, voltage-level +VI of the image signal part 17 and -VI change depending on the brightness of the image of a pixel to voltage-level +VB from voltage-level 0V, or -VB, including, a part for part II 17, i.e., the image signal part, which specifies an animation. That an image signal has +VB or -VB expresses that the image itself is full black. In order to simplify drawing, the image signal part 17 which has voltage-level +VI or -VI is shown.

[0025] As shown in drawing 5 and 6, in this specification, one data signal of pixel Rhine which has a negative polar signal for one data signal of pixel Rhine which has a forward polar signal in the 1st pixel location connected to data-line DL1 in "+I or +B signal", a call, and the 1st pixel location is called "-I or -B signal." therefore, it is shown in drawing 5 (A) and (B) -- as -- +I or +B signal -- the odd-numbered frame period -- odd-numbered pixel Rhine -- and it writes in even-numbered pixel Rhine at the even-numbered frame period -- having --

and -I or -B signal -- the odd-numbered frame period -- even-numbered pixel Rhine -- and it is written in odd-numbered pixel Rhine at the even-numbered frame period.

[0026] Actuation of this invention is explained with reference to drawing 7 , and 8, 9 and 10. Drawing 7 and 8 show the timing chart of the 1st example which writes the full black color for an image and after-image elimination in a LCD array. Drawing 9 shows the gate pulse for writing an image in a LCD array. Drawing 10 shows the gate pulse for writing a full black color in one pixel, and it is shown that black is written in this one pixel 3 times with the passage of time. As mentioned above, in order to simplify explanation and a drawing, actuation of this invention is horizontally explained to 24 pixels and a perpendicular direction using the LCD array which has 20 pixels. Therefore, several Y of pixel Rhine, i.e., a gate line, is 20 in this case.

[0027] The write-in actuation over the oddth and even-numbered frame period is shown in drawing 7 and 8. Even periods TB 1 thru/or TBE, for example, the blanking period which has four periods [ TB / TB and / 4 ] 1, are prepared between the odd frame period and the even-frame period. The one-frame period F which displays an image on the screen of an indicating equipment has two or more image write-in periods T1 thru/or TY, and are T1 thru/or T20 in this case. Hereafter, an image write-in period is only called period. Suppose that the odd frame period which the capacitor of all the pixels of a LCD array is reset, and is shown in drawing 7 and 8 is the 1st frame period, and an even-frame period is the 2nd frame period. In this case, write-in black actuation to the precedence frame period shown in drawing 7 is not performed. About this actuation, it mentions later.

[0028] If it explains in [ concept / of this invention ] simple, the image (only henceforth an image) displayed to a user As shown in drawing 9 , it is written in all the pixels of 1-pixel Rhine among one period of one frame period by carrying out the gate of both the black signal part 16 of a data signal, and the image signal part 17. And before an image is again written in this 1-pixel Rhine at the next frame period, the black for after-image elimination is written in all the pixels that are this 1-pixel Rhine by carrying out the gate only of the black signal part 16, as shown in drawing 10 .

[0029] For this reason, this invention uses two kinds of gate pulses GI and GB. A gate pulse GI is shown in drawing 9 , and has the large width of face for carrying out the gate of both the black signal part 16 of a data signal, and the image signal part 17. In drawing 9 (A), both the black signal part 16 of the forward data signal 18 and the image signal

part 17 are written in the capacitor of one pixel, and thereby, the potential of the capacitor of this pixel changes, as a dotted line shows. In drawing 9 (B), both the black signal part 16 of the negative data signal 19 and the image signal part 17 are written in the capacitor of one pixel, and thereby, the potential of the capacitor of this pixel changes, as a dotted line shows. A gate pulse GB is shown in drawing 10 , and has width of face narrower than the width of face of a gate pulse GI in order to carry out the gate only of the black signal part 16 of a data signal. The black signal part 16 is arranged at the anterior part of a data signal, and the image signal part 17 continues next. This reason is for making it written in the capacitor whose desired image electrical-potential-difference +VI or desired -VI is a pixel, also when the black signal part 16 fixed to full black color electrical-potential-difference +VB or -VB helps the potential of a capacitor so that it may change quickly along with the dotted line of drawing 9 , and width of face of the data pulse of the indicating equipment of high resolution is narrowed by this between write-in actuation of an image. In drawing 10 (A), in order to supply the black signal part 16 of three continuous forward data signals 18 3 times to the capacitor of one pixel, three gate pulses GB are used. The reason for using three gate pulses GB is that the capacitor of a pixel is not charged to full black electrical-potential-difference +VB within one period of a gate pulse GB. If the property of TFT or the black signal part 16 of a data signal can be designed so that a capacitor can be written in to full black level within one period of a gate pulse GB, only one gate pulse GB can be used. However, in the case of the display of high resolution, it becomes difficult for the period of gate pulses GI and GB to become short in proportion to increase of resolution, therefore to write in the capacitor of a pixel to full black level within one period of a gate pulse GB. Therefore, it is desirable to cover multiple times in the indicating equipment of high resolution, and to write a capacitor even in full black level. This example uses three gate pulses GB. In this case, the potential of the capacitor of a pixel increases gradually toward +VB, as a dotted line shows. In drawing 10 (B), in order to supply the black signal part 16 of three continuous negative data signals 19 3 times to the capacitor of one pixel, three gate pulses GB are used. In this case, the potential of the capacitor of a pixel increases gradually toward -VB, as a dotted line shows.

[0030] The data-line drive circuit 9 of drawing 4 and the gate line drive circuit 10 supply combination with an image signal, i.e., +I, and +B or the combination of -I and -B and a gate pulse, i.e., GI, or GB to

the data line and a gate line like the after-mentioned at the basis of control of the clock pulse (not shown) supplied from the clock pulse generating circuit 11, respectively.

[0031] (Write-in actuation of the 1st frame period) When drawing 7 and 8 were referred to again, data signal +I corresponded to +I or +B signal shown in drawing 6 (A), and data signal-I was shown in drawing 6 (B). - It corresponds to I or -B signal. The gate pulse GI of large width of face is supplied to the gate line G1, the gate of the data signal +I is carried out to 1st pixel Rhine of a LCD array, and, thereby, the image of data signal +I is displayed on the period T1 of the 1st frame period of drawing 7 .

[0032] The gate pulse GI of large width of face is supplied to the gate line G2, the gate of the data signal-I is carried out to 2nd pixel Rhine of a LCD array, and, thereby, the image of data signal-I is displayed on the period T2 of the 1st frame period.

[0033] The gate pulse GI of large width of face is supplied to gate line G3, the gate of the data signal +I is carried out to 3rd pixel Rhine of a LCD array, and, thereby, the image of data signal +I is displayed on period T3 of the 1st frame period. Hereafter, this actuation is repeated. Such actuation is repeated to 10th pixel Rhine relevant to the gate line G10. At this time, only the image is written in the gate line G1 thru/or ten pixel Rhine relevant to G10.

[0034] Image +I is written in pixel Rhine relevant to the gate line G11 at a period T11 using the large gate pulse GI. And actuation which can come, simultaneously writes black +B in pixel Rhine relevant to the gate line G1 using the narrow gate pulse GB is performed. Pixel Rhine relevant to the gate line G11 displays image +I by this, and pixel Rhine relevant to the gate line G1 displays black +B of the 1st black voltage level 20 shown in drawing 10 (A). Actuation which writes an image in pixel Rhine relevant to the gate line G1 is performed at a period T1, and it is clear actuation's which writes black in this pixel Rhine to be started at a period T11.

[0035] Image-I is written in pixel Rhine relevant to the gate line G12 at a period T12 using the large gate pulse GI. And actuation which can come, simultaneously writes black-B in pixel Rhine relevant to the gate line G2 using the narrow gate pulse GB is performed. Pixel Rhine relevant to the gate line G12 displays image-I by this, and pixel Rhine relevant to the gate line G2 displays black-B of the 1st black voltage level 22 shown in drawing 10 (B).

[0036] Image +I is written in pixel Rhine relevant to the gate line G13 at a period T13 using the large gate pulse GI. And the actuation which

can come, simultaneously writes black +B in pixel Rhine relevant to the gate line G1 using the narrow gate pulse GB, Actuation which writes black +B in pixel Rhine relevant to gate line G3 using the narrow gate pulse GB is performed. Pixel Rhine relevant to the gate line G13 displays image +I by this, and pixel Rhine relevant to the gate line G1 Displaying black +B of the 2nd black voltage level 21 shown in drawing 10 (A), pixel Rhine relevant to gate line G3 displays black +B of the 1st black voltage level 20.

[0037] Image-I is written in pixel Rhine relevant to the gate line G14 at a period T14 using the large gate pulse GI. And the actuation which can come, simultaneously writes black-B in pixel Rhine relevant to the gate line G2 using the narrow gate pulse GB, Actuation which writes black-B in pixel Rhine relevant to the gate line G4 using the narrow gate pulse GB is performed. Pixel Rhine relevant to the gate line G14 displays image-I by this, and pixel Rhine relevant to the gate line G2 Displaying black-B of the 2nd black voltage level 23 shown in drawing 10 (B), pixel Rhine relevant to the gate line G4 displays black-B of the 1st black voltage level 22.

[0038] Image +I is written in pixel Rhine relevant to the gate line G15 at a period T15 using the large gate pulse GI. And the actuation which can come, simultaneously writes black +B in pixel Rhine relevant to the gate line G1 using the narrow gate pulse GB, The actuation which writes black +B in pixel Rhine relevant to gate line G3 using the narrow gate pulse GB, Actuation which writes black +B in pixel Rhine relevant to the gate line G5 using the narrow gate pulse GB is performed. Pixel Rhine relevant to the gate line G15 displays image +I by this, and pixel Rhine relevant to the gate line G1 The black of last black voltage-level +VB shown in drawing 10 (A) is displayed, pixel Rhine relevant to gate line G3 displays black +B of the 2nd black voltage level 21, and pixel Rhine relevant to the gate line G5 displays black +B of the 1st black voltage level 20.

[0039] The contents currently displayed on the screen of a LCD array at the time of this period T15 are as follows.

[0040] Pixel Rhine relevant to the gate line G1 : On the black +B gate line G2 of last black voltage-level +VB Related pixel Rhine : To black-B gate line G3 of the 2nd black voltage level 23 related pixel Rhine: -- the -- pixel Rhine: relevant to the black +B gate line G4 of the 2 black voltage level 21 -- the -- pixel Rhine: relevant to the black-B gate line G5 of the 1 black voltage level 22 -- the -- the black +B even number gate line G6 of the 1 black voltage level 20 -- or pixel Rhine: relevant to G14 -- pixel Rhine: relevant to the image-I odd number gate

line G7 thru/or G15 -- the image +I write-in means 9, 10, and 11, i.e., circuits An image is serially written in a target at two or more each of pixel Rhine, and it is clear a write-in means' to write in black in other pixel Rhine at the period which writes an image in one pixel Rhine. For example, in order that data signal +I may write image +I in pixel Rhine relevant to the gate line G11 by which the large gate pulse GI is supplied, it is used for a period T11. It is used in order to write black +B in pixel Rhine relevant to the gate line G1 by which the gate pulse GB narrow again is supplied. And in a period T13 It is used in order that data signal +I may write image +I in pixel Rhine relevant to the gate line G13 by which the large gate pulse GI is supplied. It is used in order to write black +B in pixel Rhine relevant to the gate line G1 and G3 to which the gate pulse GB narrow again is supplied. And in a period T15 It is used in order that data signal +I may write image +I in pixel Rhine relevant to the gate line G15 by which the large gate pulse GI is supplied. And it is used in order to write black +B in the gate line G1 by which the gate pulse GB narrow again is supplied, G3, and pixel Rhine relevant to G5.

[0041] Thus, in order that two kinds of gate pulses GI and GB may write both an image and black in related pixel Rhine at coincidence, a gate line is supplied alternatively.

[0042] The same actuation is repeated by the period T16 of the 1st frame period shown in drawing 7 and 8 thru/or T20. The gate line G1 thru/or pixel Rhine relevant to G6 display each black of the last level, i.e., +VB, or -VB on the last (T20) of the 1st frame period, and the gate line G7 thru/or remaining pixel Rhine relevant to G20 shows the 2nd, the black of the 1st level, image +I, or -I. furthermore, pixel Rhine [ speaking concretely ] relevant to the gate lines G7 and G8 -- the -- pixel Rhine relevant to [ are displaying the 2 black voltage level 21 or the black of 23, respectively, and ] the gate lines G9 and G10 -- the -- the 1 black voltage level 20 or the black of 22 is displayed, respectively, and the gate line G11 thru/or pixel Rhine relevant to G20 shows image +I or -I, respectively.

[0043] Write-in actuation which charges the gate line G7 thru/or the capacitor of pixel Rhine relevant to G20 even at the last black voltage level, i.e., +VB, or -VB is performed after this 1st frame period. As this example is shown in drawing 8 , the blanking period containing even periods TB 1 TBE1, for example, TB, thru/or TB4 is established between the 1st frame period and the 2nd frame period. The die length of each period included at a blanking period is equal to the die length of each period included at a frame period.

[0044] (Actuation of a blanking period) In this example, two actuation is performed at a blanking period including the periods [ TB / TB and / 4 ] 1. One actuation is adjusting a polarity as the polarity of the data signal supplied to a pixel at the 2nd frame period is reversed. And a data signal is supplied to the data-line drive circuit 9. The reason for reversing a polarity is that a liquid crystal ingredient will be damaged if DC electrical potential difference is continuously impressed to a liquid crystal ingredient as everyone knows. In this example, as polar reversal of a data signal is performed at a period TB 3 and the polarity of a data signal is shown in drawing 8 here, the polarity of the data signal which is maintained by the polarity negative [ between periods TB 3 ], consequently is supplied to pixel Rhine at the 2nd frame period is reversed at the 1st frame period compared with the polarity of the data signal supplied to pixel Rhine. Polar adjustment of a data signal can be performed to other periods, TB1 and TB2, of a blanking period, or TB4. [ for example, ]

[0045] Other actuation is writing the black black of a polarity (- B) and antipole nature (+B) written in one period in the periods [ TB / TB and / 4 ] 1 of a blanking period at the period T20 of the last of the 1st frame period in pixel Rhine G7, G9, and G11 which follows pixel Rhine G6, G8, and G10 of the 1st frame period, respectively. Thus, black is written in at least one of the pixel Rhine following pixel Rhine where black was written in the period TN of the last of an odd frame period, T20 [ i.e., ]. The reason for writing black +B in one period in a blanking period The polarity (- I) of the data signal supplied at the period T1 of the beginning of the 2nd frame period Are [ therefore ] the same as the polarity (- I) of the data signal supplied to pixel Rhine of the last relevant to the gate line G20 at the 1st frame period. Till the 2nd frame period T2 And it is because black +VB cannot be re-written in the capacitor of the pixel of pixel Rhine relevant to the gate lines G7, G9, and G11. When a blanking period includes four periods, in order to write in black, one of the periods [ TB / TB and / 4 ] 1 can be chosen. In the case of this example, in order to supply the narrow gate pulse GB to the gate lines G7, G9, and G11 and to supply the black signal part 16 of data signal +I to pixel Rhine relevant to these, a period TB 4 is used.

[0046] (Write-in actuation of the 2nd frame period) As mentioned above, the same actuation as the 1st frame period is performed in the 2nd frame period except for the point of being reversed by the frame period whose polarity of the data signal supplied to each pixel Rhine is the 2nd. In the period T1 of the 2nd frame period of drawing 8 , the large gate

pulse GI is supplied to the gate line G1, the gate of the image-I is carried out to 1st pixel Rhine of a LCD array, image-I is displayed, and the gate of the black-B is carried out to pixel Rhine relevant to [ the narrow gate pulse GB is supplied to the gate lines G8, G10, and G12, and ] these gate lines, and this is displayed on it.

[0047] Similarly, an image and write-in black actuation continue till the 2nd frame period T10.

[0048] In a period T11, image-I is written in pixel Rhine relevant to the gate line G11 using the large gate pulse GI. And actuation which can come, simultaneously writes black-B in pixel Rhine relevant to the gate lines G18, G20, and G1 using the narrow gate pulse GB is performed.

Pixel Rhine relevant to the gate line G11 displays image-I by this, and pixel Rhine relevant to the gate line G1 The black of the 1st black voltage level 22 shown in drawing 10 (B) is displayed, pixel Rhine relevant to the gate line G18 displays black-B of last black voltage-level-VB, and pixel Rhine relevant to the gate line G20 displays black-B of the 2nd black voltage level 23.

[0049] In the period T13 of the 2nd frame period, the actuation which writes the black of the last black voltage level, i.e., +VB, or -VB in all pixel Rhine of a LCD array is completed, and, thereby, the image displayed on all pixel Rhine at the 1st frame period is eliminated completely.

[0050] If the write-in black actuation to the precedence frame period shown in drawing 7 is explained, this write-in actuation will be performed in order to eliminate the image displayed on all pixel Rhine at the precedence frame period, when the frame period of drawing 7 is periods other than the 1st frame period, for example, the 3rd, the 5th, or the 7th frame period.

[0051] In the selected period TN with the odd number divided by the blanking period including even periods [ TB / TB and / 4 ] 1 shown in drawing 7 of the instantiation-example which uses 20 gate lines, and 8, and an even-frame period, the gate line by which one gate pulse GI with wide width of face and two or more gate pulses GB with narrow width of face are supplied is prescribed by the degree type.

[0052]

Period TN Gate line Gate pulse (case A) : [ 1<=N<=9 ] N GI N+7 GB N+9 GB N+11 The GB case A is the case of N= 1 thru/or N= 9, and relates to a period T1 thru/or T9. For example, in the period T1 of an odd number (for example, the 3rd) frame period, the large gate pulse GI is supplied to the gate line G1, and the narrow gate pulse GB is supplied to the gate lines G8, G10, and G12.

[0053]

: N= 10 ((B) Case) N : G10 GI N+7 : (G17) GB N+9 : (G19) The GB case B is the case of N= 10, and relates to a period T10.

[0054]

: N= 11 ((C) Case) N : G11 GI N+7 : G18 GB N+9 : (G20) GB N+10 : (G21, i.e., G1) The GB case C relates to a period T11.

[0055]

: N= 12 ((D) Case) N : G12 GI N+7 : (G19) GB N+10 : (G22, i.e., G2) The GB case D relates to a period T12.

[0056]

: N= 13 ((E) Case) N : G13 GI N+7 : G20 GB N+8 : (G21, i.e., G1) GB N+10 : (G23, i.e., G3) The GB case E relates to a period T13.

[0057]

: ((F) Case) N= 14 N : (G14) GI N+8 : (G22, i.e., G2) GB N+10 : (G24, i.e., G4) The GB case F relates to a period T14.

: 15<=N<=20 ((G) Case) N GI N+6 GB N+8 GB N+10 The GB case G is the case of N= 15 thru/or N= 20, and relates to a period T15 thru/or T20. In a period T15, the large gate pulse GI is supplied to the gate line G15, and the narrow gate pulse GB is supplied to the gate line G1, G3, and G5.

[0058] Thus, in one certain period TN, the large gate pulse GI is supplied to one gate line, and the gate of both the black signal part 16 and the image signal part 17 is carried out. An image is written in 1-pixel Rhine relevant to this gate line by this, and the narrow gate pulse GB which carries out the gate only of the black signal part 16 to the gate line as which others were chosen is supplied, and, thereby, black is written in pixel Rhine relevant to these gate lines.

[0059] Drawing 11 and 12 show the timing chart of the 2nd example which writes the full black color for an image and after-image elimination in a LCD array. Suppose that the odd frame period which the capacitor of all the pixels of a LCD array is reset, and is shown in drawing 11 and 12 is the 1st frame period, and an even-frame period is the 2nd frame period. In this case, write-in black actuation to the precedence frame period shown in drawing 11 is not performed. In the 2nd example, the blanking period which has odd periods [ 1 / TB and TB0 / TB and / TB ] 1, for example, five periods 5, is established between the odd frame period and the even-frame period.

[0060] (Write-in actuation of the 1st frame period) The period T1 of the 1st frame period shown in drawing 11 and 12 thru/or the actuation between T20 are the same as actuation of the 1st frame period shown in drawing 7 and 8.

[0061] (Write-in actuation of a blanking period) During the blanking

period which has the odd number period [ TB and TB ] 1, for example, five periods 5, it is reversed by turns, and the polarity of a data signal is supplied to the data-line drive circuit 9, and uses data signal +I, -I, +I, -I, and +I further, and black is continuously supplied to the gate line G7 thru/or pixel Rhine relevant to G15. That is, the black signal part 16 is written in pixel Rhine following each of pixel Rhine where black was written in the period TN of the last of an odd frame period, T20 [ i.e., ], and the black signal part 16 is written in a number equal to the sum of several 4 and the number of the periods [ TB / TB and / 0 ] 1 of a blanking period of pixel Rhine at a blanking period. Furthermore, speaking concretely, supplying black +B of the black signal part 16 shown in drawing 9 (A) at a period TB 1 to pixel Rhine relevant to the gate lines G7, G9, and G11. Black-B of the black signal part 16 shown in drawing 9 (B) is supplied to pixel Rhine relevant to the gate lines G8, G10, and G12 at a period TB 2, black +B is supplied to pixel Rhine relevant to the gate lines G9, G11, and G13 at a period TB 3, and this actuation is repeated below. By using the blanking period which has odd periods, the polarity of a data signal is reversed in each periods [ TB / TB and / 5 ] 1, and, thereby, data signal-I is supplied to the first pixel Rhine at the period T1 of the beginning of the 2nd frame period.

[0062] (Write-in actuation of the 2nd frame period) As mentioned above, the same actuation as the 1st frame period is performed in the 2nd frame period except for the point of being reversed by the frame period whose polarity of the data signal supplied to each pixel Rhine is the 2nd. In the period T1 of the 2nd frame period shown in drawing 12 , the large gate pulse GI is supplied to the gate line G1, the gate of the image-I is carried out to 1st pixel Rhine of a LCD array, image-I is displayed, and the gate of the black-B is carried out to pixel Rhine relevant to [ the narrow gate pulse GB is supplied to the gate lines G12, G14, and G16, and ] these gate lines, and this is displayed on it.

[0063] An image and write-in black actuation continue till the 2nd frame period T10.

[0064] In a period T11, image-I is written in pixel Rhine relevant to the gate line G11 using the large gate pulse GI. And actuation which can come, simultaneously writes black-B in pixel Rhine relevant to the gate line G1 using the narrow gate pulse GB is performed. Pixel Rhine relevant to the gate line G11 displays image-I by this, and pixel Rhine relevant to the gate line G1 displays the black of the 1st black voltage level 22 shown in drawing 10 (B). Thus, an image and write-in black actuation are repeated during the 2nd frame period. It is clear that

time delay's between initiation of the actuation which writes in an image to one pixel Rhine, and the actuation which writes in black to this pixel Rhine it is equal to  $F/2$ . Here,  $F$  is the die length of an one-frame period.

[0065] By using a blanking period including an odd number period, black is continuously written in the gate line G1 thru/or pixel Rhine relevant to G20 for the 1st frame period, a blanking period, and the 2nd frame period, and, thereby, the die length of the time delay between the display start time of an image and black display start time is maintained by value  $F / 2$  fixed for every pixel Rhine. This means that the image display period of all pixel Rhine is equal to  $F/2$ , and the brightness of the image included in the eyes of human being to whom it is expressed with the integral value of the incident light of the image displayed for  $F/2$  of periods by this is uniformly maintained to all pixel Rhine.

[0066] If the write-in black actuation to the precedence frame period shown in drawing 11 is explained, this write-in actuation will be performed in order to eliminate the image displayed on all pixel Rhine at the precedence frame period, when the frame period of drawing 11 is periods other than the 1st frame period, for example, the 3rd, the 5th, or the 7th frame period.

[0067] Since black is continuously written in two or more pixel Rhine in the 2nd example at a blanking period, in a certain selected period TN of odd number and the even-frame periods, the gate line relevant to the pixel in which an image is written, and the gate line relevant to pixel Rhine where black is written in are prescribed by the degree type. In this example that uses 20 gate lines, it is the  $Y= 20$  number of gate lines, and several Ns are 1 thru/or Y (= 20). "Number "n" is the number of the periods included at a blanking period. In this example, it is n= 5. Furthermore, the actual gate line G1 thru/or after G20, the virtual gate line G21 thru/or G25 shall be. [ equal to n= 5 ] That is, the number of the gate lines taken into consideration here is  $(Y+n)$ , namely, is 25 gate lines. And the gate line  $(Y+n +1)$  G G26, i.e., the 26th imagination gate line, is treated as a gate line G1 of the screen of a LCD array.

[0068]

Gate line Gate pulse N GIN+(Y/2)+n-4 GBN+(Y/2)+n-2 GBN+(Y/2) +n The following gate line is chosen between the period T1 of GB odd number (for example, 3rd frame period) frame period thru/or T5.

[0069]

A gate line T1 T2 T3 T four T5 Gate pulse N : G1 G2 G3 G4 G5 GI N+(Y/2)

+ n-4 : G12 G13 G14 G15 G16 GB N+(Y/2) + n-2 : G14 G15 G16 G17 G18 GB  
N+(Y/2) +n : G16 G17 G18 G19 G20 The following gate line is chosen  
during the periods T6 and T7 of GB odd frame period.

[0070]

A gate line T6 T7 Gate pulse N : G6 G7 GIN+(Y/2)+n-4 : G17 G18  
GBN+(Y/2)+n-2 : G19 G20 GBN+(Y/2) +n : The gate lines G21 and G22 chosen  
among \*G21 \*G22 periods T6 and T7 are virtual gate lines which do not  
actually exist in a LCD array. Therefore, in a period T6, only the gate  
lines G6, G17, and G19 are chosen, and only the gate lines G7, G18, and  
G20 are chosen in a period T7. A virtual gate line is expressed with  
notation \*.

[0071] The following gate line is chosen during the periods T8 and T9 of  
an odd frame period.

[0072]

A gate line T8 T9 Gate pulse N : G8 G9 GIN+(Y/2)+n-4 : G19 G20  
GBN+(Y/2)+n-2 : \*G21 \*G22-N+(Y/2)+n : In \*G23 \*G24 period T8, only the  
gate lines G8 and G19 are chosen, and only the gate lines G9 and G20 are  
chosen in a period T9.

[0073] The following gate line is chosen during the period T10 of an odd  
frame period.

[0074]

gate line : Only the gate line G10 is chosen in \*G25 period T10. T10  
Gate pulse N : G10 GIN+(Y/2)+n-4 : \*G21N+(Y/2)+n-2 : \*G23N+(Y/2) +n

[0075] The following gate line is chosen during the periods T11 and T12  
of an odd frame period.

[0076]

A gate line T11 T12 Gate pulse N : G11 G12 GIN+(Y/2)+n-4 : \*G22 \*  
G23N+(Y/2)+n-2 : \*G24 \*G25N+(Y/2) +n : G26 (G1) G27 (G2) In the GB  
period T11, only the gate lines G11 and G1 are chosen, and only the gate  
lines G12 and G2 are chosen in a period T12.

[0077] The following gate line is chosen during the periods T13 and T14  
of an odd frame period.

[0078]

A gate line T13 T14 Gate pulse N : G13 G14 GIN+(Y/2)+n-4 : \*G24 \*  
G25N+(Y/2)+n-2 : G26 (G1) G27 (G2) GBN+(Y/2) +n : G28 (G3) G29 (G4) In  
the GB period T13, only the gate lines G13 and G1 and G3 are chosen, and  
only the gate lines G14, G2, and G4 are chosen in a period T14. Thus,  
the gate line of the remaining periods can be chosen.

[0079] Drawing 13 shows the alternative-data signal in which it is used  
instead of the data signal shown in drawing 9 , and deals. In the data  
signal shown in drawing 13 , the black signal part 16 which specifies a

full black color is divided into two subsections 16A and 16B. As shown in drawing 6 , and 9 and 10, when the first transition of the black signal part 16 goes up to full black level +VB or -VB, this black signal part 16 that starts rapidly may exceed and charge the capacitor of a pixel at the time of the writing of an image, and the overshoot charged to a bigger voltage level than a desired image voltage level may produce this capacitor. It is also possible to prevent this overshoot by decreasing to a value smaller than full black electrical-potential-difference +VB and -VB, the absolute value, i.e., the amplitude, of drawing 6 and the black signal part 16 shown in 9 and 10. However, based on reduction of the amplitude of the black signal part 16, the situation which is not desirable that it becomes impossible to fully eliminate an after-image therefore, and it becomes impossible to attain both prevention of overshoot and elimination of an after-image may arise. The black signal part 16 of drawing 13 divided into two sub sections 16A and 16B is effective when such a situation that is not desirable arises, and it can attain both prevention of overshoot, and elimination of an after-image. Furthermore, if it explains concretely, the absolute value of the voltage level of sub section 16A will be chosen as a value smaller than the absolute value of full black voltage-level +VB of subsection 16B, or -VB in order to prevent overshoot.

[0080] Drawing 14 shows the alternative-gate pulse GI in which it is used instead of the gate pulse GI shown in drawing 9 , and deals. The gate pulse GI shown in drawing 14 (A) and (B) has pulse width which carries out the gate only of the image signal part 17 of data signals 18 and 24. Without needing the assistance of the bias actuation by the black signal part 16, when the image signal part 17 can fully charge even the image voltage level of a request of the capacitor of a pixel within the period of a gate pulse GI, such a gate pulse GI can be used. The gate pulse GB shown in drawing 14 (A) and (B) carries out the gate only of the black signal part 16 of data signals 18 and 24 like [ in the case of drawing 10 ]. In drawing 14 (B), the image signal part 17 has been arranged at the anterior part of a data signal 24, and following this, the black signal part 16 has aligned so that a gate pulse GB may carry out the gate of the black signal part 16.

[0081] Although this invention was explained as an example of a display using the liquid crystal display, this invention can be used also, for example in other displays like a plasma display and a field emission display which can energize two or more gate lines to coincidence.

[0082] Although it was written in after the forward polar image (+I) with the same forward polar black (+B) and negative polar black (-B) was

written in after the same negative polar image (-I) in drawing 7 , 8 and drawing 11 , and write-in actuation of 12 Negative polar black (- B) can be written in after the image (+I) of antipole nature, and forward polar black (+B) can be written in after the image (- I) of antipole nature. This reason is that human being's eyes recognize an image and black regardless of a polarity.

[0083] Although this invention was explained about the LCD array which carries out owner Perilla frutescens (L.) Britton var. crispa (Thunb.) Decne. of the 24 pixels horizontally, and has 20 pixels perpendicularly in order to simplify explanation and a drawing, it is clear write-in actuation's of this invention to be applied also to the display which has the display screen which has 640x480 pixels of a VGA method, 800x600 pixels of a SVGA method, or pixels of an XGA method, such as 1024x768 etc. pieces. Instead of full black level +VB of the black signal part 16, or -VB, the voltage level of the arbitration which can fully eliminate the image of a precedence frame period can be used. With initiation of write-in actuation of the image to a pixel, drawing 11 and in the case of 12, the delay between initiation of write-in black actuation was chosen by F/2, but it can be chosen as the any value to which, as for the value of this delay, a display image can prevent the thing to this pixel become indistinct based on the lap of the after-image of the display image of a precedence frame period, and the display image of the present frame period.

[0084]

[Effect of the Invention] This invention can realize the display which can prevent that a display image becomes indistinct based on the lap of the after-image of the display image of a precedence frame period, and the display image of the present frame period, and can improve the quality of an animation, without needing two data-line drive circuits, without dividing a LCD array into two half-parts.

---

[Translation done.]

\* NOTICES \*

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

---

## DESCRIPTION OF DRAWINGS

---

---

[Brief Description of the Drawings]

[Drawing 1] It is drawing showing the timing for supplying a gate pulse to a target serially to the conventional rough configuration and conventional gate line of LCD equipment.

[Drawing 2] It is drawing showing the timing of the conventional method for solving the problem of an after-image.

[Drawing 3] It is drawing showing the conventional LCD equipment which solves the trouble of the method of drawing 2 .

[Drawing 4] It is drawing showing the LCD equipment 7 according to this invention.

[Drawing 5] It is drawing showing the polarity of the data signal impressed to odd number and an even-frame period.

[Drawing 6] It is drawing showing the data signal impressed to pixel Rhine.

[Drawing 7] It is drawing showing the timing of the 1st example which writes the full black color for an image and after-image elimination in a LCD array.

[Drawing 8] It is drawing showing the timing following the timing of drawing 7 .

[Drawing 9] It is drawing showing the data signal and gate pulse for writing an image in a LCD array.

[Drawing 10] It is drawing showing the data signal and gate pulse for writing a full black color in a LCD array.

[Drawing 11] It is drawing showing the timing of the 2nd example which writes the full black color for an image and after-image elimination in a LCD array.

[Drawing 12] It is drawing showing the timing following the timing of drawing 11 .

[Drawing 13] It is drawing showing the alternative-data signal in which it is used instead of the data signal shown in drawing 9 , and deals.

[Drawing 14] It is drawing showing the alternative-gate pulse GI in which it is used instead of the gate pulse GI shown in drawing 9 , and deals.

[Description of Notations]

7 ... LCD equipment,

8 ... LCD array,

9 ... Data-line drive circuit,

10 ... Gate line drive circuit,

- 11 ... Clock generation circuit,
- 12 ... TFT,
- 13 ... Pixel electrode,
- 14 ... Liquid crystal layer,
- 15 ... Common electrode

---

[Translation done.]

\* NOTICES \*

JPO and NCIPI are not responsible for any  
damages caused by the use of this translation.

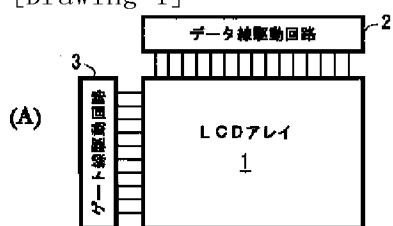
- 1. This document has been translated by computer. So the translation may not reflect the original precisely.
- 2. \*\*\*\* shows the word which can not be translated.
- 3. In the drawings, any words are not translated.

---

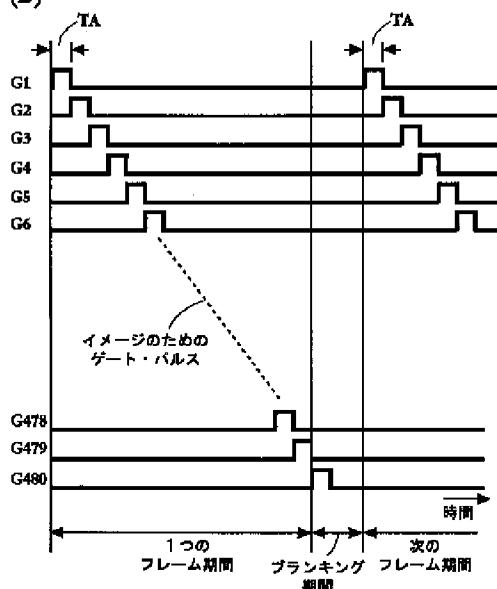
DRAWINGS

---

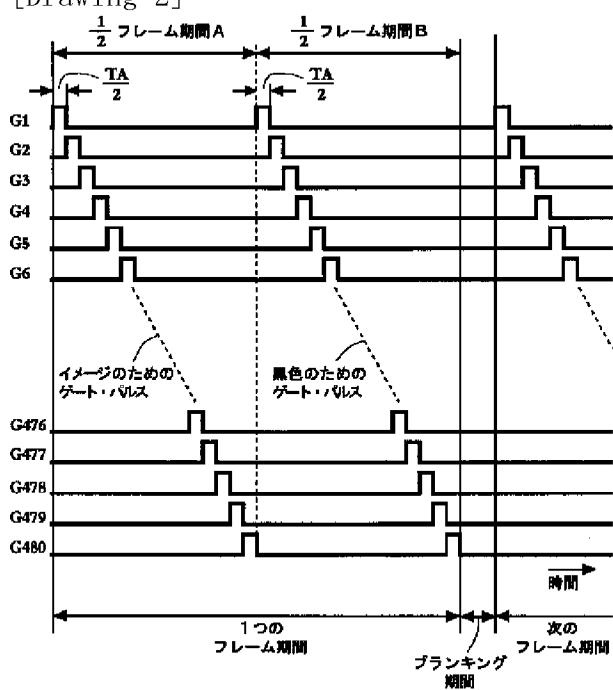
[Drawing 1]



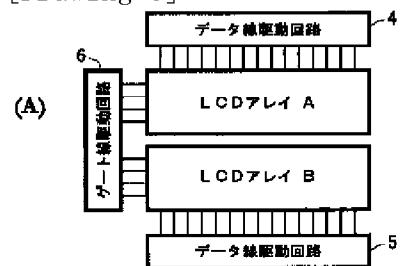
(B)



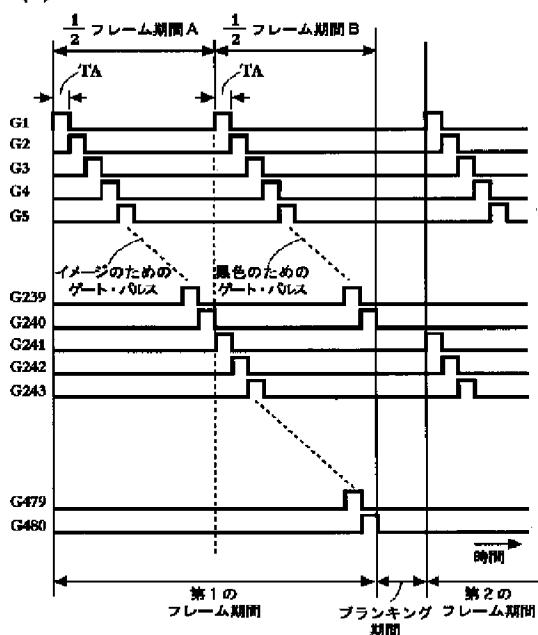
[Drawing 2]



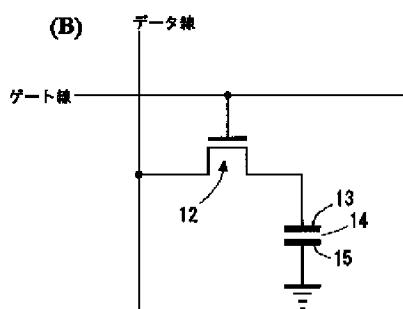
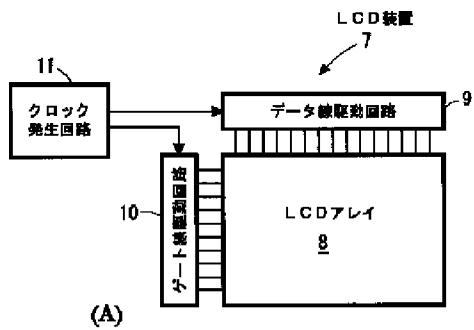
[Drawing 3]



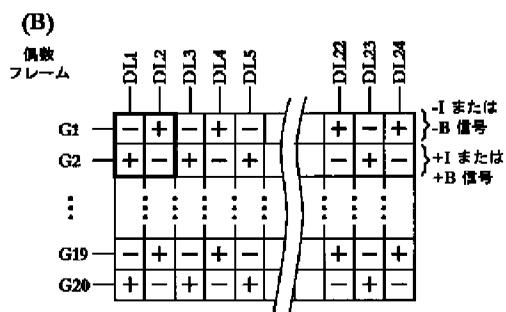
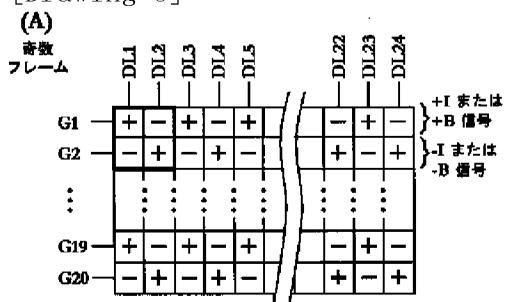
(B)



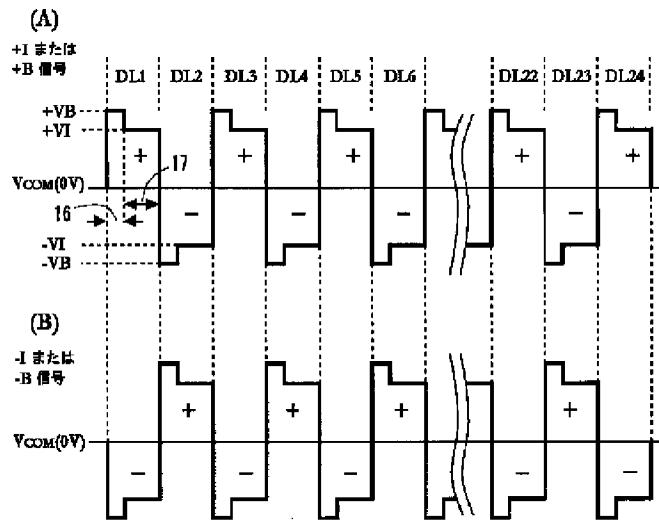
[Drawing 4]



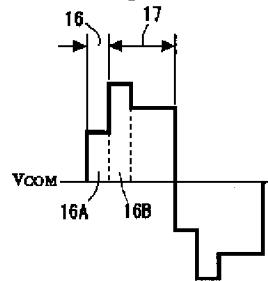
[Drawing 5]



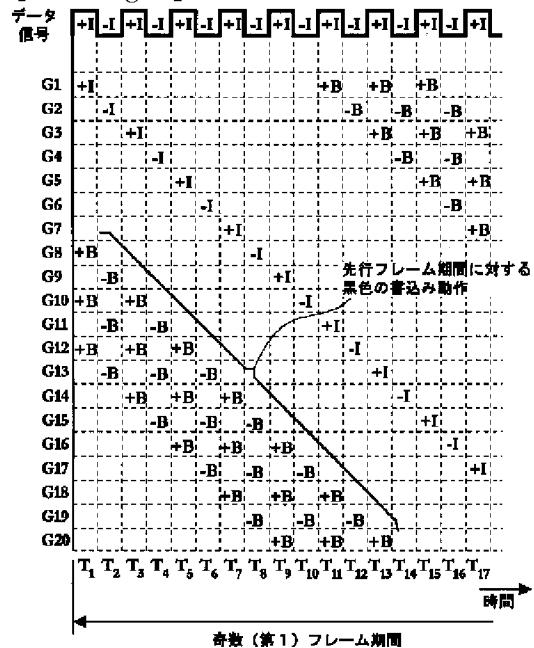
[Drawing 6]



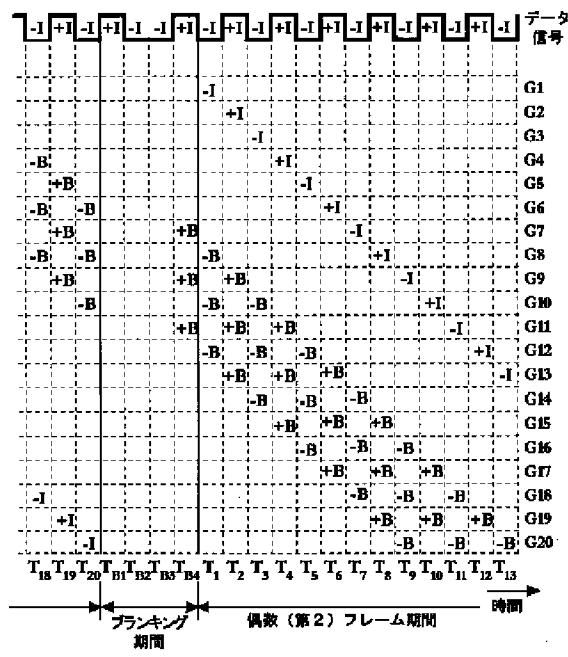
[Drawing 13]



[Drawing 7]

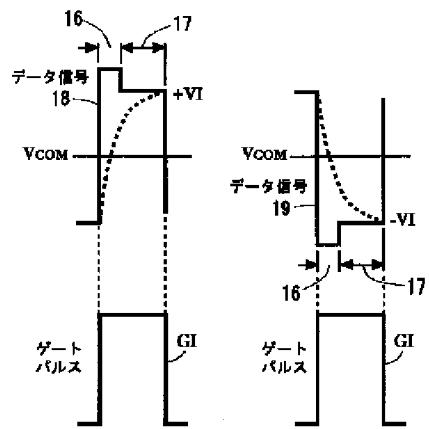


[Drawing 8]

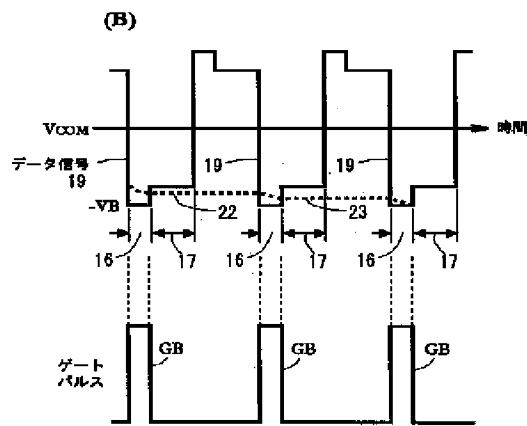
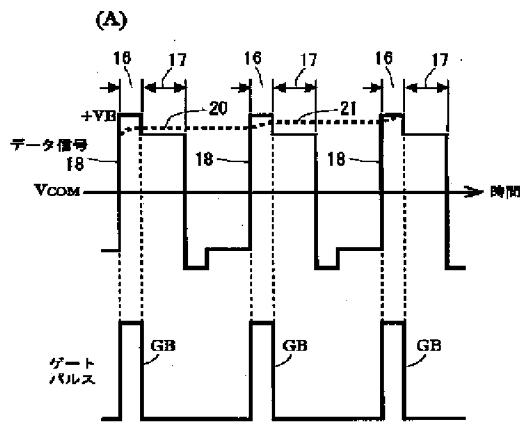


[Drawing 9]

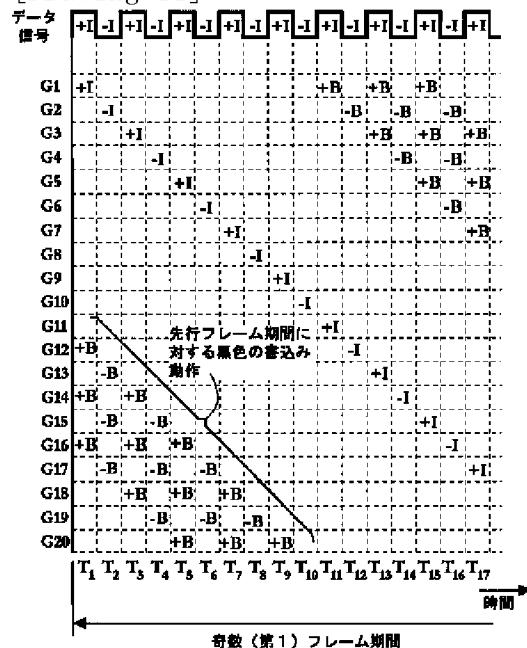
(A) (B)



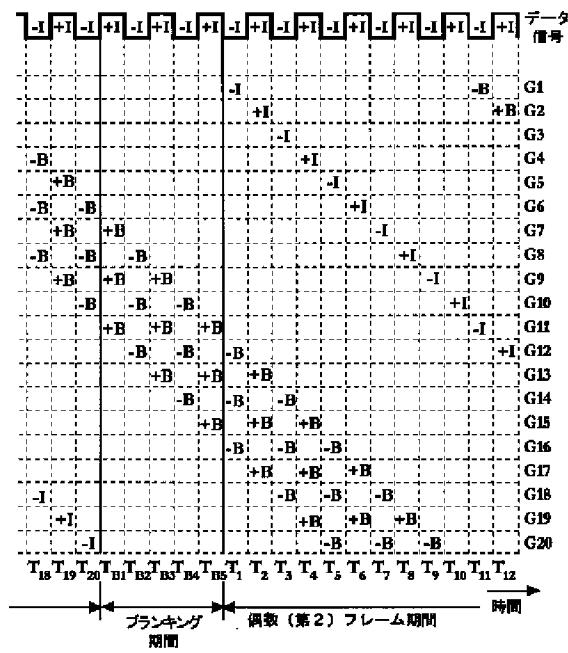
[Drawing 10]



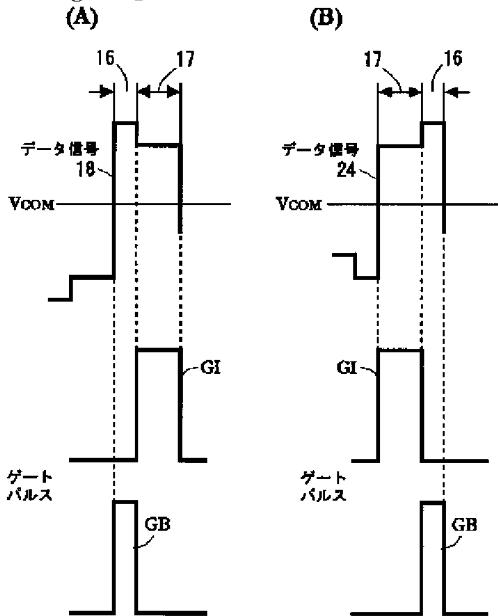
[Drawing 11]



[Drawing 12]



[Drawing 14]



[Translation done.]

(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2000-122596  
(P2000-122596A)

(43)公開日 平成12年4月28日(2000.4.28)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード*(参考)
G 0 9 G 3/20	6 2 2	G 0 9 G 3/20	6 2 2 P 2 H 0 9 3
	6 6 0		6 2 2 D 5 C 0 0 6
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133	6 6 0 V 5 C 0 8 0
G 0 9 G 3/36		G 0 9 G 3/36	5 5 0

審査請求 有 請求項の数17 O.L (全 17 頁)

(21)出願番号 特願平10-294245

(22)出願日 平成10年10月15日(1998.10.15)

(71)出願人 390009531

インターナショナル・ビジネス・マシーンズ・コーポレーション  
INTERNATIONAL BUSINESS MACHINES CORPORATION  
アメリカ合衆国10504、ニューヨーク州  
アーモンク (番地なし)(72)発明者 竹中 敦  
神奈川県大和市下鶴間1623番地14 日本ア  
イ・ピー・エム株式会社 大和事業所内(74)代理人 100086243  
弁理士 坂口 博 (外2名)

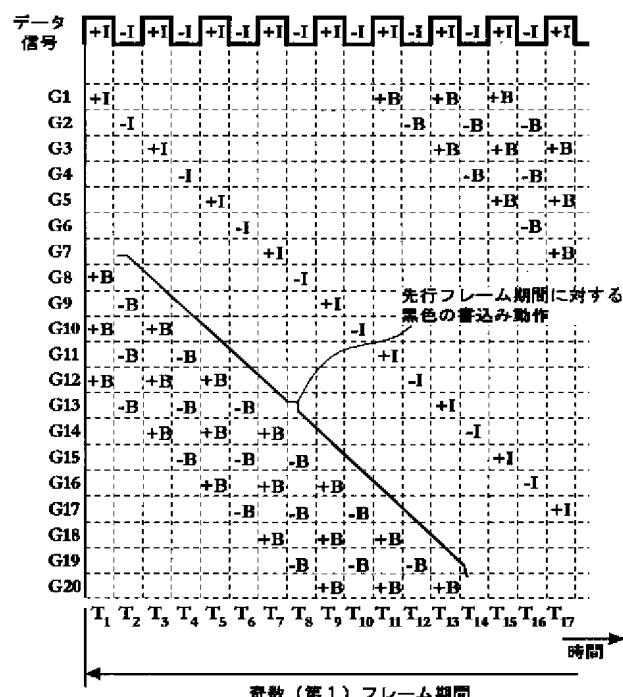
最終頁に続く

## (54)【発明の名称】 表示装置

## (57)【要約】

【課題】 本発明の目的は、LCDアレイを2つの半部分に分けることなくそして2つのデータ線駆動回路を必要とすることなく、先行フレーム期間の表示イメージの残像と現フレーム期間の表示イメージとの重なりに基づいて表示イメージが不鮮明になることを防止して動画の質を改善することができる表示装置を実現することである。

【解決手段】 本発明に従う表示装置は、複数の画素ラインを有する表示面と、複数の画素ラインのそれぞれにイメージを逐次的に書き込む書き込み手段とを有し、書き込み手段は、イメージを少なくとも1つの画素ラインに書き込む期間に、他の画素ラインに黒色を書き込むことを特徴とする。他の画素ラインは、少なくとも1つの画素ラインから予定の距離だけ離されていることを特徴とする。書き込み手段は、少なくとも1つの画素ラインから予定の距離だけ離されている複数の画素ラインに黒色を書き込むことを特徴とする。



## 【特許請求の範囲】

【請求項1】複数の画素ラインを有する表示面と、上記複数の画素ラインのそれぞれにイメージを逐次的に書き込む書き込み手段とを有し、上記書き込み手段は、上記イメージを少なくとも1つの画素ラインに書き込む期間に、他の画素ラインに黒色を書き込むことを特徴とする表示装置。

【請求項2】上記他の画素ラインは、上記少なくとも1つの画素ラインから予定の距離だけ離されていることを特徴とする請求項1に記載の表示装置。

【請求項3】上記書き込み手段は、上記少なくとも1つの画素ラインから上記予定の距離だけ離されている複数の画素ラインに上記黒色を書き込むことを特徴とする請求項2に記載の表示装置。

【請求項4】1方向に沿って配列された複数のデータ線及び上記1つの方向に交差する他の方向に沿って配列された複数のゲート線を有し、そして上記複数のデータ線と上記複数のゲート線との交点のそれぞれに1つの画素が形成されている表示面と、

黒色信号部分及びイメージ信号部分を含むデータ信号を上記複数のデータ線のそれぞれに供給するデータ線駆動回路と、

上記複数のゲート線のそれぞれにゲート・パルスを逐次的に供給するゲート線駆動回路とを有し、

該ゲート線駆動回路は、上記データ信号を書き込む書き込み期間に、上記データ信号の上記黒色信号部分及び上記イメージ信号部分の両方をゲートする広いゲート・パルスを少なくとも1つの1つのゲート線に供給すると共に、上記データ信号の上記黒色信号部分をゲートする狭いゲート・パルスを他のゲート線に供給することを特徴とする表示装置。

【請求項5】上記他のゲート線は、上記少なくとも1つのゲート線から予定の距離だけ離されていることを特徴とする請求項4に記載の表示装置。

【請求項6】上記黒色信号部分は、上記データ信号の前部に含まれていることを特徴とする請求項5に記載の表示装置。

【請求項7】上記ゲート線駆動回路は、上記少なくとも1つのゲート線から予定の距離だけ離されている複数のゲート線に上記狭いゲート・パルスを供給することを特徴とする請求項6に記載の表示装置。

【請求項8】1方向に沿って配列された複数のデータ線及び上記1つの方向に交差する他の方向に沿って配列された複数のゲート線を有し、そして上記複数のデータ線と上記複数のゲート線との交点のそれぞれに1つの画素が形成されている表示面と、

黒色信号部分及びイメージ信号部分を含むデータ信号を上記複数のデータ線のそれぞれに供給するデータ線駆動回路と、

上記複数のゲート線のそれぞれにゲート・パルスを逐次

的に供給するゲート線駆動回路とを有し、該ゲート線駆動回路は、上記データ信号を書き込む書き込み期間の間に、上記データ信号の上記イメージ信号部分をゲートする第1ゲート・パルスを少なくとも1つのゲート線に供給すると共に、上記データ信号の上記黒色信号部分をゲートする第2ゲート・パルスを他のゲート線に供給することを特徴とする表示装置。

【請求項9】上記他のゲート線は、上記少なくとも1つのゲート線から予定の距離だけ離されていることを特徴とする請求項8に記載の表示装置。

【請求項10】上記黒色信号部分は、上記データ信号の前部に含まれていることを特徴とする請求項9に記載の表示装置。

【請求項11】上記イメージ信号部分は、上記データ信号の前部に含まれていることを特徴とする請求項9に記載の表示装置。

【請求項12】上記ゲート線駆動回路は、上記少なくとも1つのゲート線から予定の距離だけ離されている複数のゲート線に上記第2ゲート・パルスを供給することを特徴とする請求項10又は請求項11に記載の表示装置。

【請求項13】1方向に沿って配列された複数のデータ線及び上記1つの方向に交差する他の方向に沿って配列されたY本のゲート線を有し、ここでYは1以上の整数であり、そして上記複数のデータ線と上記複数のゲート線との交点のそれぞれに1つの画素が形成されており、そして上記Y本のゲート線のそれぞれに沿った複数の画素は1つの画素ラインを形成する表示面と、黒色信号部分及びイメージ信号部分を含むデータ信号を上記複数のデータ線のそれぞれに供給するデータ線駆動回路と、

上記Y本のゲート線のそれぞれにゲート・パルスを逐次的に供給するゲート線駆動回路とを有し、

該ゲート線駆動回路は、上記データ信号を書き込む書き込み期間に、上記データ信号の上記黒色信号部分及び上記イメージ信号部分の両方をゲートする広いゲート・パルスを少なくとも1つのゲート線に供給すると共に、上記データ信号の上記黒色信号部分をゲートする狭いゲート・パルスを上記少なくとも1つのゲート線から離された他のゲート線に供給し、上記ゲート線駆動回路は、期間T<sub>1</sub>乃至T<sub>N</sub>を含むフレーム期間に上記Y本のゲート線のそれぞれに上記広いゲート・パルスを逐次的に供給し（ここで、Nは1乃至Yである）、1つのフレーム期間と次のフレーム期間とはブランкиング期間により分けられており、そして上記1つのフレーム期間のうちの最後の期間T<sub>N</sub>に上記黒色が書き込まれた画素ラインに続く少なくとも1つの画素ラインに、上記ブランкиング期間に上記黒色信号部分が書き込まれることを特徴とする表示装置。

【請求項14】各画素ラインに供給されるデータ信号の

極性はフレーム期間毎に反転され、上記ランキング期間は偶数個の期間 $T_{B1}$ 乃至 $T_{BE}$ を含み（ここで、上記期間 $T_{B1}$ 乃至 $T_{BE}$ のそれぞれの長さは上記期間 $T_1$ 乃至 $T_N$ のそれぞれの長さに等しい）、そして先行フレーム期間に供給されたデータ信号の極性と反対の極性を与えるように上記データ信号の極性が上記ランキング期間に調整されることを特徴とする請求項13に記載の表示装置。

【請求項15】各画素ラインに供給されるデータ信号の極性はフレーム期間毎に反転され、上記ランキング期間は奇数個の期間 $T_{B1}$ 乃至 $T_{B0}$ を含み（ここで、上記期間 $T_{B1}$ 乃至 $T_{B0}$ のそれぞれの長さは上記期間 $T_1$ 乃至 $T_N$ のそれぞれの長さに等しい）、そして上記期間 $T_{B1}$ 乃至 $T_{B0}$ の数に等しい数の画素ラインに、上記ランキング期間の間に上記黒色信号部分が書き込まれることを特徴とする請求項13に記載の表示装置。

【請求項16】上記黒色信号部分は、上記データ信号の前部に含まれていることを特徴とする請求項14又は請求項15に記載の表示装置。

【請求項17】上記ゲート線駆動回路は、上記少なくとも1つのゲート線から予定の距離だけ離されている複数のゲート線に上記狭いゲート・パルスを供給することを特徴とする請求項16に記載の表示装置。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】本発明は、先行フレーム期間の表示イメージの残像と現フレーム期間の表示イメージとの重なりに基づいて表示イメージが不鮮明になることを防止して動画の質を改善することができる例えば液晶表示（LCD）装置、プラズマ表示装置、フィールド・エミッション表示装置等の高応答速度の表示装置に関する。

##### 【0002】

【従来の技術】従来周知のペンド・モードLCD装置のような高応答速度のLCD装置が、動画の画質を改善するために使用され始めている。動画においては表示イメージが高速度で変化される。図1（A）及び（B）を参照して高応答速度のLCD装置の問題点について説明すると、図1（A）は、LCDアレイ1、データ線駆動回路2及びゲート線駆動回路3を含む従来のLCD装置の概略的な構成を示す。例えば、LCDアレイ1はVGA（ビデオ・グラフィック・アレイ）方式の $640 \times 480$ 画素を有する。この場合、データ線駆動回路2は1画素ラインの640個の画素にそれぞれ接続されている640本のデータ線にイメージ・データを供給し、そしてゲート線駆動回路3は480本のゲート線にゲート・パルスを逐次的に供給する。更に具体的にいうと、ゲート線G1に沿う第1の画素ラインにデータが書き込まれる時には、第1画素ラインの640個の画素に対するイメージ・データがデータ線駆動回路2からデータ線に供給

され、そしてゲート線駆動回路3はゲート線G1へゲート・パルスを供給する。このゲート・パルスは、第1画素ラインの各画素の薄膜トランジスタをターン・オンし、その結果このイメージ・データは、この分野で周知なように、画素電極、液晶層及び共通電極により形成される各画素のキャパシタに記憶される。ゲート線G2に沿う第2の画素ラインにデータが書き込まれる時には、第2画素ラインの640個の画素に対するイメージ・データがデータ線駆動回路2からデータ線に供給され、そしてゲート線駆動回路3はゲート線G2へゲート・パルスを供給し、そして以下、この動作が繰り返される。

【0003】図1（B）は、480本のゲート線へゲート・パルスを逐次的に供給するためのタイミング図を示す。図1（B）に示すように、1つのフレーム期間に、ゲート・パルスが480本のゲート線に逐次的に供給され、その結果この1つのフレーム期間の間にイメージ・データが画素ラインに逐次的に書き込まれる。隣接する2つのフレーム期間相互間にランキング期間が設けられている。ゲート・パルスは期間TAで表される幅を有し、そしてこの期間は（フレーム期間の長さ）／（ゲート線の数）で表される。期間TAは、各画素のキャパシタンスにイメージ・データを十分に書き込むように各画素の薄膜トランジスタをターン・オンするように設計されている。

##### 【0004】

【発明が解決しようとする課題】この方式の問題点は、動画を表示するために表示イメージがフレーム期間毎に変更される時に、1つのフレーム期間の表示イメージが残像として人間の目に残り、そして次のフレーム期間の表示イメージと重なることであり、その結果表示イメージの質が低下する。

【0005】図2は、図1の方式で生じた残像の問題を解決するための従来の方式のタイミング図である。1つのフレーム期間は、1/2フレーム期間A及び1/2フレーム期間Bに分けられている。第1番目の1/2フレーム期間Aの間、480本のゲート線が逐次的に付勢されてイメージ・データをLCDアレイの全ての画素ラインに書き込み、そして第2番目の1/2フレーム期間Bの間に、480本のゲート線が逐次的に付勢されて黒色データをLCDアレイの全ての画素ラインに書き込む。この動作は図1（A）に示したLCD装置の制御方式を修正することにより行われる。第2番目の1/2フレーム期間Bの書き込み動作について説明すると、ゲート線G1に沿う第1の画素ラインに黒色データが書き込まれる時には、第1画素ラインの640個の画素に対する黒色データがデータ線駆動回路2に記憶され、そしてゲート線駆動回路3はゲート線G1へゲート・パルスを供給する。このゲート・パルスは、第1画素ラインの各画素の薄膜トランジスタをターン・オンし、その結果この黒色データは各画素のキャパシタに記憶される。ゲート線

G2に沿う第2の画素ラインに黒色データが書き込まれる時には、第2画素ラインの640個の画素に対するイメージ・データがデータ線駆動回路2に記憶され、そしてゲート線駆動回路3はゲート線G2へゲート・パルスを供給し、そしてこの動作が繰り返される。このようにして、人間の目は第2番目の1/2フレーム期間Bの間に黒色イメージを認識し、そして第1番目のフレーム期間Aに表示されたイメージの残像は1/2フレーム期間Bの間に、人間の目から消去され、次のフレーム期間のイメージと重ならない。この方式は残像の問題を解決するが、この方式では、図1(B)に比べて1フレーム期間に2倍の数のゲート・パルスが必要となるためにゲート・パルスの幅がTA/2に減少され、これによりイメージ・データは画素のキャパシタンスに十分に書き込まれず、従って十分な階調の制御ができないという新たな問題点を生じる。

【0006】図3は、図2の方式の問題点を解決する従来のLCD装置を示す。LCDアレイは、ゲート線G1乃至G240を含むLCDアレイAと、ゲート線G241乃至G480を含むLCDアレイBに分割され、そしてデータ線駆動回路4がLCDアレイAにデータを供給するために使用され、そしてデータ線駆動回路5がLCDアレイBにデータを供給するために使用される。図3(B)はLCDアレイの動作のタイミング図である。1つのフレーム期間は1/2フレーム期間Aと、1/2フレーム期間Bとに分割されている。第1フレーム期間の1/2フレーム期間Aの間に、LCDアレイAの240本のゲート線が逐次的に付勢されてイメージ・データをLCDアレイAの全ての画素ラインに書き込む。第1フレーム期間の1/2フレーム期間Bの間に、LCDアレイAの240本のゲート線が逐次的に付勢されて黒色データをLCDアレイAの全ての画素ラインに書き込み、そしてLCDアレイBの240本のゲート線が逐次的に付勢されてイメージ・データをLCDアレイBの全ての画素ラインに書き込む。第1フレーム期間にイメージが書き込まれたLCDアレイBに対する黒色データは、第2フレーム期間の1/2フレーム期間Aに書き込まれる。

【0007】LCDアレイが2つの半部分に分割されているので、上側半分A及び下側半分Bへのイメージ・データ及び黒色データの書き込み動作は、互いに独立的に行われ、そしてゲート・パルスの幅は各画素のキャパシタンスにイメージ・データ又は黒色データを十分に書き込める期間TAに維持され、これによりこの方式は図2の方式の問題点を解決する。しかしながら、この方式は、LCDアレイを2つの半部分に分割することそして2つのデータ線駆動回路4及び5を必要とし、これによりデータ線駆動回路4及び5へのデータの供給が複雑となり、そして製造コストが増大するという新たな問題点を生じる。

## 【0008】

【課題を解決するための手段】本発明の目的は、LCDアレイを2つの半部分に分けることなくそして2つのデータ線駆動回路を必要とすることなく、先行フレーム期間の表示イメージの残像と現フレーム期間の表示イメージとの重なりに基づいて表示イメージが不鮮明になることを防止して動画の質を改善することができる表示装置を実現することである。

【0009】本発明に従う表示装置は、複数の画素ラインを有する表示面と、複数の画素ラインのそれぞれにイメージを逐次的に書き込む書き込み手段とを有し、書き込み手段は、イメージを少なくとも1つの画素ラインに書き込む期間に、他の画素ラインに黒色を書き込むことを特徴とする。

【0010】他の画素ラインは、少なくとも1つの画素ラインから予定の距離だけ離されていることを特徴とする。

【0011】書き込み手段は、少なくとも1つの画素ラインから予定の距離だけ離されている複数の画素ラインに黒色を書き込むことを特徴とする。

【0012】本発明に従う表示装置は、1方向に沿って配列された複数のデータ線及び1つの方向に交差する他の方向に沿って配列された複数のゲート線を有し、そして複数のデータ線と複数のゲート線との交点のそれぞれに1つの画素が形成されている表示面と、黒色信号部分及びイメージ信号部分を含むデータ信号を複数のデータ線のそれぞれに供給するデータ線駆動回路と、複数のゲート線のそれぞれにゲート・パルスを逐次的に供給するゲート線駆動回路とを有し、このゲート線駆動回路は、データ信号を書き込む書き込み期間に、データ信号の黒色信号部分及びイメージ信号部分の両方をゲートする広いゲート・パルスを少なくとも1つのゲート線に供給すると共に、データ信号の黒色信号部分をゲートする狭いゲート・パルスを他のゲート線に供給することを特徴とする。

【0013】他のゲート線は、少なくとも1つのゲート線から予定の距離だけ離されていることを特徴とする。

【0014】黒色信号部分は、データ信号の前部に含まれていることを特徴とする。

【0015】ゲート線駆動回路は、少なくとも1つのゲート線から予定の距離だけ離されている複数のゲート線に狭いゲート・パルスを供給することを特徴とする。

【0016】本発明に従う表示装置は、1方向に沿って配列された複数のデータ線及び1つの方向に交差する他の方向に沿って配列された複数のゲート線を有し、そして複数のデータ線と複数のゲート線との交点のそれぞれに1つの画素が形成されている表示面と、黒色信号部分及びイメージ信号部分を含むデータ信号を複数のデータ線のそれぞれに供給するデータ線駆動回路と、複数のゲート線のそれぞれにゲート・パルスを逐次的に供給する

ゲート線駆動回路とを有し、このゲート線駆動回路は、データ信号を書き込む書き込み期間の間に、データ信号のイメージ信号部分をゲートする第1ゲート・パルスを少なくとも1つのゲート線に供給すると共に、データ信号の黒色信号部分をゲートする第2ゲート・パルスを他のゲート線に供給することを特徴とする。

【0017】イメージ信号部分は、データ信号の前部に含まれていることを特徴とする。

【0018】本発明に従う表示装置は、1方向に沿って配列された複数のデータ線及び1つの方向に交差する他の方向に沿って配列されたY本のゲート線を有し、ここでYは1以上の整数であり、そして複数のデータ線と複数のゲート線との交点のそれぞれに1つの画素（画素）が形成されており、そしてY本のゲート線のそれぞれに沿った複数の画素は1つの画素ラインを形成する表示面と、黒色信号部分及びイメージ信号部分を含むデータ信号を複数のデータ線のそれぞれに供給するデータ線駆動回路と、Y本のゲート線のそれぞれにゲート・パルスを逐次的に供給するゲート線駆動回路とを有し、このゲート線駆動回路は、データ信号を書き込む書き込み期間に、データ信号の黒色信号部分及びイメージ信号部分の両方をゲートする広いゲート・パルスを少なくとも1つのゲート線に供給すると共に、データ信号の黒色信号部分をゲートする狭いゲート・パルスを上記の少なくとも1つのゲート線から離された他のゲート線に供給し、ゲート線駆動回路は、期間 $T_1$ 乃至 $T_N$ を含むフレーム期間にY本のゲート線のそれぞれに広いゲート・パルスを逐次的に供給し（ここで、Nは1乃至Yである）、1つのフレーム期間と次のフレーム期間とはブランкиング期間により分けられており、そして1つのフレーム期間のうちの最後の期間 $T_N$ に黒色が書き込まれた画素ラインに続く少なくとも1つの画素ラインに、ブランкиング期間に黒色信号部分が書き込まれることを特徴とする。

【0019】各画素ラインに供給されるデータ信号の極性はフレーム期間毎に反転され、ブランкиング期間は偶数個の期間 $T_{B1}$ 乃至 $T_{BE}$ を含み（ここで、期間 $T_{B1}$ 乃至 $T_{BE}$ のそれぞれの長さは期間 $T_1$ 乃至 $T_N$ のそれぞれの長さに等しい）、そして先行フレーム期間に供給されたデータ信号の極性と反対の極性を与えるようにデータ信号の極性がブランкиング期間に調整されることを特徴とする。

【0020】各画素ラインに供給されるデータ信号の極性はフレーム期間毎に反転され、ブランкиング期間は奇数個の期間 $T_{B1}$ 乃至 $T_{B0}$ を含み（ここで、期間 $T_{B1}$ 乃至 $T_{B0}$ のそれぞれの長さは期間 $T_1$ 乃至 $T_N$ のそれぞれの長さに等しい）、そして期間 $T_{B1}$ 乃至 $T_{B0}$ の数に等しい数の画素ラインに、ブランкиング期間の間に黒色信号部分が書き込まれることを特徴とする。

【0021】

【発明の実施の形態】図4（A）は、本発明に従うLCD

D装置7を示す。LCD装置7は、LCDアレイ即ち表示面8、データ線駆動回路9、ゲート線駆動回路10及びクロック発生回路11を含む。例えば、LCDアレイ8はVGA方式の $640 \times 480$ 画素を有し、即ち、640個の画素がゲート線に沿って水平方向に配列され、そして480個の画素が垂直方向に配列されている。もしもカラー・イメージを表示することが要求されるならば、画素の数は $(640 \times 3) \times 480$ に増大され、この場合1つの画素毎に3つのセル、即ち赤色のセル、緑のセル及び青のセルが形成される。SVGA（スーパー・ビデオ・グラフィック・アレイ）方式の $800 \times 600$ 画素、又はXGA（エクステンディッド・グラフィック・アレイ）方式の $1024 \times 768$ 等の画素を有するLCDアレイを使用することも可能である。しかしながら説明及び図面を簡単にするために、水平方向に24個の画素を有し、そして垂直方向に20個の画素を有するLCDアレイ即ち表示面を使用して本発明を説明する。

【0022】データ線及びゲート線の交点のそれぞれに、表示されるべきイメージを表す電荷を貯蔵するために1つの画素が接続されている。図4（B）は、1つの画素の回路を示し、ここで、薄膜トランジスタ（TFT）12のソース電極はデータ線に接続され、TFT12のゲート電極はゲート線に接続され、そしてTFT12のドレイン電極は一方のガラス基板に形成されている画素電極13に接続される。一方のガラス基板に形成された画素電極13と、他方のガラス基板に掲載された共通電極15と、画素電極13及び共通電極15の間に挟まれた液晶層14とは、表示されるべきイメージを表す電荷を貯蔵するためのキャパシタを形成する。イメージ・データが画素に書き込まれるときには、ゲート線に印加されるゲート・パルスがTFT12をターン・オンし、これによりデータ線に印加されているイメージ・データを表す電圧がTFT12を介してキャパシタに印加されて、イメージを表すレベルまでこのキャパシタを充電する。

【0023】もしも液晶材料にDC電圧が連続的に印加されると、液晶材料が劣化される。周知のように、この劣化を防止するために、液晶材料に印加されるデータ信号の極性は周期的に反転される。本発明の実施例では、いわゆるH/V反転（Horizontal/vertical inversion）が使用される。図5及び6を参照してH/V反転について説明すると、図5（A）は奇数フレーム期間に $24 \times 20$ 個の画素に印加される、共通電極に対するデータ信号の極性を示し、そして図5（B）は偶数フレーム期間に $24 \times 20$ 個の画素に印加される、共通電極に対するデータ信号の極性を示す。図6（A）は図5（A）のゲート線に沿った奇数画素ラインのデータ信号及び図5（B）のゲート線に沿った偶数画素ラインのデータ信号を示す。図6（B）は図5（A）の偶数画素ラインのデータ信号及び図5

(B) の奇数画素ラインのデータ信号を示す。データ信号の極性は、共通電極15に印加される電圧であるVC OM (この例の場合には0V)に対して交互に変化される。一例として、データ線DL1及びDL2とゲート線G1及びG2の交点にある4つの画素に注目すると、水平方向において隣接する画素の極性は互いに反対であり、そして垂直方向において隣接する画素の極性は互いに反対である。又、奇数フレーム期間における4つの画素の極性は、偶数フレーム期間における極性と反対である。このようにして、1つの画素の極性は奇数又は偶数フレーム期間毎に変更され、そして隣接する画素の極性は互いに反対である。

【0024】本発明においては、1つの画素に対するデータ信号は、図6(A)に示すように、(a) 残像を消去するために電圧レベル+VB又は-VBに固定されたフル・ブラック・カラー(黒色)を規定する第1部分即ち黒色信号部分16及び(b) ユーザに対して表示されるイメージ、例えば動画を規定する第2部分即ちイメージ信号部分17を含み、そしてイメージ信号部分17の電圧レベル+VI、-VIは、画素のイメージの輝度に依存して電圧レベル0Vから電圧レベル+VB又は-VBまで変化する。イメージ信号が+VB又は-VBを有するということは、イメージ自体がフル・ブラックであることを表す。図を簡略化するために、電圧レベル+VI又は-VIを有するイメージ信号部分17が示されている。

【0025】図5及び6に示すように、本明細書においては、データ線DL1に接続された第1番目の画素位置に正の極性の信号を有する1つの画素ラインのデータ信号を、“+I又は+B信号”と呼び、そして第1番目の画素位置に負の極性の信号を有する1つの画素ラインのデータ信号を、“-I又は-B信号”と呼ぶ。従って、図5(A)及び(B)に示すように、+I又は+B信号は奇数番目のフレーム期間に奇数番目の画素ラインにそして偶数番目のフレーム期間に偶数番目の画素ラインに書き込まれ、そして-I又は-B信号は奇数番目のフレーム期間に偶数番目の画素ラインにそして偶数番目のフレーム期間に奇数番目の画素ラインに書き込まれる。

【0026】本発明の動作を図7、8、9及び10を参照して説明する。図7及び8は、イメージ及び残像消去用のフル・ブラック・カラーをLCDアレイに書き込む第1実施例のタイミング図を示す。図9はイメージをLCDアレイに書き込むためのゲート・パルスを示す。図10はフル・ブラック・カラーを1つの画素に書き込むためのゲート・パルスを示し、そしてこの1つの画素に黒色が時間の経過とともに3回書き込まれることを示す。前述のように、説明及び図面を簡略化するために、水平方向に24個の画素及び垂直方向に20個の画素を有するLCDアレイを使用して本発明の動作を説明する。従って、この場合には画素ライン即ちゲート線の数

Yは20である。

【0027】奇数番目及び偶数番目のフレーム期間に亘る書き込み動作が図7及び8に示されている。偶数個の期間T<sub>B1</sub>乃至T<sub>BE</sub>、例えば4つの期間T<sub>B1</sub>乃至T<sub>B4</sub>、を有するランキング期間が奇数フレーム期間と偶数フレーム期間との間に設けられている。表示装置の表示面にイメージを表示する1フレーム期間Fは、複数のイメージ書き込み期間T<sub>1</sub>乃至T<sub>Y</sub>を有し、そしてこの場合にはT<sub>1</sub>乃至T<sub>20</sub>である。以下、イメージ書き込み期間を単に期間という。LCDアレイの全ての画素のキャバシタがリセットされ、そして図7及び8に示す奇数フレーム期間が第1番目のフレーム期間であり、そして偶数フレーム期間が第2番目のフレーム期間であるとする。この場合には、図7に示されている先行フレーム期間に対する黒色の書き込み動作は行われない。この動作については後述する。

【0028】本発明の概念について簡略的に説明すると、ユーザに対して表示されるイメージ(以下、単にイメージという)は、図9に示すように、データ信号の黒色信号部分16及びイメージ信号部分17の両方をゲートすることにより1つのフレーム期間の1つの期間の間に1画素ラインの全ての画素に書き込まれ、そして次のフレーム期間にこの1画素ラインに再びイメージが書き込まれる前に、図10に示すように黒色信号部分16だけをゲートすることにより残像消去用の黒色がこの1画素ラインの全ての画素に書き込まれる。

【0029】このために、本発明は2種類のゲート・パルスGI及びGBを使用する。ゲート・パルスGIは図9に示され、そしてデータ信号の黒色信号部分16及びイメージ信号部分17の両方をゲートするための広い幅を有する。図9(A)において、正のデータ信号18の黒色信号部分16及びイメージ信号部分17の両方が、1つの画素のキャバシタに書き込まれ、これによりこの画素のキャバシタの電位は点線で示すように変化する。図9(B)において、負のデータ信号19の黒色信号部分16及びイメージ信号部分17の両方が、1つの画素のキャバシタに書き込まれ、これによりこの画素のキャバシタの電位は点線で示すように変化する。ゲート・パルスGBは図10に示され、そしてデータ信号の黒色信号部分16だけをゲートするために、ゲート・パルスGIの幅よりも狭い幅を有する。黒色信号部分16はデータ信号の前部に配置され、そしてこの後にイメージ信号部分17が続く。この理由は、イメージの書き込み動作の間に、フル・ブラック・カラー電圧+VB又は-VBに固定される黒色信号部分16が、キャバシタの電位を図9の点線に沿って迅速に変動するように助け、これにより、高解像度の表示装置のデータ・パルスの幅が狭くされた場合にも所望のイメージ電圧+VI又は-VIが画素のキャバシタに書き込まれるようにするためである。図10(A)において、1つの画素のキャバシタに

対して、連続する3つの正のデータ信号18の黒色信号部分16を3回に亘って供給するために3つのゲート・パルスGBが使用される。3つのゲート・パルスGBを使用する理由は、1つのゲート・パルスGBの期間内に、画素のキャパシタが、フル・ブラック電圧+VBまで充電されないからである。1つのゲート・パルスGBの期間内に、キャパシタをフル・ブラック・レベルまで書き込めるようにTFTの特性又はデータ信号の黒色信号部分16を設計できるならば、1つのゲート・パルスGBだけを使用することができる。しかしながら、高解像度の表示装置の場合には、ゲート・パルスGI及びGBの期間は解像度の増大に比例して短くなり、従って、画素のキャパシタを1つのゲート・パルスGBの期間内にフル・ブラック・レベルまで書き込むことが困難になる。従って、高解像度の表示装置においては複数回に亘ってキャパシタをフル・ブラック・レベルにまで書き込むことが望ましい。本実施例は、3つのゲート・パルスGBを使用する。この場合には、画素のキャパシタの電位は、点線で示すように+VBに向かって徐々に増大する。図10(B)においては、1つの画素のキャパシタに対して、連続する3つの負のデータ信号19の黒色信号部分16を3回に亘って供給するために3つのゲート・パルスGBが使用される。この場合には、画素のキャパシタの電位は、点線で示すように-VBに向かって徐々に増大する。

【0030】クロック・パルス発生回路11から供給されるクロック・パルス(図示せず)の制御のもとに、後述のように、図4のデータ線駆動回路9及びゲート線駆動回路10は、データ線及びゲート線にイメージ信号、即ち+Iと+Bとの組み合わせ又は-Iと-Bとの組み合わせ、そしてゲート・パルス、即ちGI又はGBをそれぞれ供給する。

【0031】(第1番目のフレーム期間の書き込み動作)図7及び8を再び参照すると、データ信号+Iは、図6(A)に示した+I又は+B信号に対応し、そしてデータ信号-Iは、図6(B)に示した-I又は-B信号に対応する。図7の第1フレーム期間の期間T<sub>1</sub>に、広い幅のゲート・パルスGIがゲート線G1に供給され、LCDアレイの第1画素ラインにデータ信号+Iをゲートし、これによりデータ信号+Iのイメージが表示される。

【0032】第1フレーム期間の期間T<sub>2</sub>に、広い幅のゲート・パルスGIがゲート線G2に供給され、LCDアレイの第2画素ラインにデータ信号-Iをゲートし、これによりデータ信号-Iのイメージが表示される。

【0033】第1フレーム期間の期間T<sub>3</sub>に、広い幅のゲート・パルスGIがゲート線G3に供給され、LCDアレイの第3画素ラインにデータ信号+Iをゲートし、これによりデータ信号+Iのイメージが表示される。以下、この動作が繰り返される。このような動作はゲート

線G10に関連する第10番目の画素ラインまで繰り返される。この時点で、ゲート線G1乃至G10に関連する10本の画素ラインにイメージだけが書き込まれている。

【0034】期間T<sub>11</sub>に、広いゲート・パルスGIを使用してゲート線G11に関連する画素ラインにイメージ+Iを書き込み、そしてこれと同時に、狭いゲート・パルスGBを使用してゲート線G1に関連する画素ラインに黒色+Bを書き込む動作が行われ、これによりゲート線G11に関連する画素ラインはイメージ+Iを表示し、そしてゲート線G1に関連する画素ラインは、図10(A)に示す第1黒色電圧レベル20の黒色+Bを表示する。ゲート線G1に関連する画素ラインにイメージを書き込む動作は期間T<sub>1</sub>に行われ、そしてこの画素ラインに黒色を書き込む動作は期間T<sub>11</sub>に開始されることが明らかである。

【0035】期間T<sub>12</sub>に、広いゲート・パルスGIを使用してゲート線G12に関連する画素ラインにイメージ-Iを書き込み、そしてこれと同時に、狭いゲート・パルスGBを使用してゲート線G2に関連する画素ラインに黒色-Bを書き込む動作が行われ、これによりゲート線G12に関連する画素ラインはイメージ-Iを表示し、そしてゲート線G2に関連する画素ラインは、図10(B)に示す第1黒色電圧レベル22の黒色-Bを表示する。

【0036】期間T<sub>13</sub>に、広いゲート・パルスGIを使用してゲート線G13に関連する画素ラインにイメージ+Iを書き込み、そしてこれと同時に、狭いゲート・パルスGBを使用してゲート線G1に関連する画素ラインに黒色+Bを書き込む動作と、狭いゲート・パルスGBを使用してゲート線G3に関連する画素ラインに黒色+Bを書き込む動作とが行われ、これによりゲート線G13に関連する画素ラインはイメージ+Iを表示し、そしてゲート線G1に関連する画素ラインは、図10(A)に示す第2黒色電圧レベル21の黒色+Bを表示し、そしてゲート線G3に関連する画素ラインは、第1黒色電圧レベル20の黒色+Bを表示する。

【0037】期間T<sub>14</sub>に、広いゲート・パルスGIを使用してゲート線G14に関連する画素ラインにイメージ-Iを書き込み、そしてこれと同時に、狭いゲート・パルスGBを使用してゲート線G2に関連する画素ラインに黒色-Bを書き込む動作と、狭いゲート・パルスGBを使用してゲート線G4に関連する画素ラインに黒色-Bを書き込む動作とが行われ、これによりゲート線G14に関連する画素ラインはイメージ-Iを表示し、そしてゲート線G2に関連する画素ラインは、図10(B)に示す第2黒色電圧レベル23の黒色-Bを表示し、そしてゲート線G4に関連する画素ラインは、第1黒色電圧レベル22の黒色-Bを表示する。

【0038】期間T<sub>15</sub>に、広いゲート・パルスGIを使

用してゲート線G 15に関連する画素ラインにイメージ+Iを書き込み、そしてこれと同時に、狭いゲート・パルスG Bを使用してゲート線G 1に関連する画素ラインに黒色+Bを書き込む動作と、狭いゲート・パルスG Bを使用してゲート線G 3に関連する画素ラインに黒色+Bを書き込む動作と、狭いゲート・パルスG Bを使用してゲート線G 5に関連する画素ラインに黒色+Bを書き込む動作とが行われ、これによりゲート線G 15に関連する画素ラインはイメージ+Iを表示し、そしてゲート線G 1に関連する画素ラインは、図10(A)に示す最終黒色電圧レベル+VBの黒色を表示し、そしてゲート線G 3に関連する画素ラインは、第2黒色電圧レベル21の黒色+Bを表示し、そしてゲート線G 5に関連する画素ラインは、第1黒色電圧レベル20の黒色+Bを表示する。

【0039】この期間T<sub>15</sub>の時点でLCDアレイの表示面に表示されている内容は次の通りである。

【0040】ゲート線G 1に関連する画素ライン：最終黒色電圧レベル+VBの黒色+B

ゲート線G 2に関連する画素ライン：第2黒色電圧レベル23の黒色-B

ゲート線G 3に関連する画素ライン：第2黒色電圧レベル21の黒色+B

ゲート線G 4に関連する画素ライン：第1黒色電圧レベル22の黒色-B

ゲート線G 5に関連する画素ライン：第1黒色電圧レベル20の黒色+B

偶数ゲート線G 6乃至G 14に関連する画素ライン：イメージ-I

奇数ゲート線G 7乃至G 15に関連する画素ライン：イメージ+I

書き込み手段即ち回路9、10及び11は、複数本の画素ラインのそれぞれにイメージを逐次的に書き込み、そして書き込み手段は、1つの画素ラインにイメージを書き込む期間に他の画素ラインに黒色を書き込むことが明らかである。例えば、期間T<sub>11</sub>に、データ信号+Iは、広いゲート・パルスG Iが供給されるゲート線G 11に関連する画素ラインにイメージ+Iを書き込むために使用され、そして又狭いゲート・パルスG Bが供給されるゲート線G 1に関連する画素ラインに黒色+Bを書き込むために使用され、又、期間T<sub>13</sub>では、データ信号+Iは、広いゲート・パルスG Iが供給されるゲート線G 13に関連する画素ラインにイメージ+Iを書き込むために使用され、そして又狭いゲート・パルスG Bが供給されるゲート線G 1及びG 3に関連する画素ラインに黒色+Bを書き込むために使用され、又、期間T<sub>15</sub>では、データ信号+Iは、広いゲート・パルスG Iが供給されるゲート線G 15に関連する画素ラインにイメージ+Iを書き込むために使用され、そして又狭いゲート・パルスG Bが供給されるゲート線G 1、G 3及びG 5に関連す

る画素ラインに黒色+Bを書き込むために使用される。

【0041】このようにして、2種類のゲート・パルスG I及びG Bが、関連する画素ラインにイメージと黒色との両方を同時に書き込むために選択的にゲート線に供給される。

【0042】同様な動作が、図7及び8に示す第1番目のフレーム期間の期間T<sub>16</sub>乃至T<sub>20</sub>に繰り返される。第1番目のフレーム期間の最後(T<sub>20</sub>)に、ゲート線G 1乃至G 6に関連する画素ラインは最終レベル即ち+VB又は-VBの各黒色を表示し、そしてゲート線G 7乃至G 20に関連する残りの画素ラインは、第2若しくは第1レベルの黒色、又はイメージ+I若しくは-Iを表示している。更に具体的に言うと、ゲート線G 7及びG 8に関連する画素ラインは、第2黒色電圧レベル21又は23の黒色をそれぞれ表示しており、ゲート線G 9及びG 10に関連する画素ラインは、第1黒色電圧レベル20又は22の黒色をそれぞれ表示しており、そしてゲート線G 11乃至G 20に関連する画素ラインは、イメージ+I又は-Iをそれぞれ表示している。

【0043】ゲート線G 7乃至G 20に関連する画素ラインのキャパシタを最終黒色電圧レベル、即ち+VB又は-VBにまで充電する書き込み動作は、この第1番目のフレーム期間の後に行われる。この実施例においては図8に示すように、偶数個の期間T<sub>B1</sub>乃至T<sub>BE</sub>、例えばT<sub>B1</sub>乃至T<sub>B4</sub>を含むブランкиング期間が、第1フレーム期間と第2フレーム期間との間に設けられている。ブランкиング期間に含まれる各期間の長さは、フレーム期間に含まれる各期間の長さに等しい。

【0044】(ブランкиング期間の動作)この実施例においては、期間T<sub>B1</sub>乃至T<sub>BE</sub>を含むブランкиング期間に、2つの動作が行われる。1つの動作は、第2番目のフレーム期間に画素に供給されるデータ信号の極性を反転するように、極性を調整することである。そしてデータ信号がデータ線駆動回路9に供給される。極性を反転する理由は、周知のようにもしも液晶材料にDC電圧が連続的に印加されると、液晶材料が損傷されるからである。この実施例では、データ信号の極性の反転は、期間T<sub>B3</sub>に行われ、ここでデータ信号の極性は図8に示すように、期間T<sub>B3</sub>の間負の極性に維持され、この結果、第2フレーム期間に画素ラインに供給されるデータ信号の極性は、第1フレーム期間に画素ラインに供給されるデータ信号の極性に比べて反転される。データ信号の極性の調整は、ブランкиング期間の他の期間、例えばT<sub>B1</sub>、T<sub>B2</sub>又はT<sub>B4</sub>に行われることができる。

【0045】他の動作は、ブランкиング期間の期間T<sub>B1</sub>乃至T<sub>BE</sub>のうちの1つの期間に、第1フレーム期間の最後の期間T<sub>20</sub>に書き込まれた黒色の極性(-B)と反対極性(+B)の黒色を、第1フレーム期間の画素ラインG 6、G 8及びG 10にそれぞれ続く画素ラインG 7、G 9及びG 11に書き込むことである。このようにし

て、黒色は、奇数フレーム期間の最後の期間 $T_N$ 即ち $T_{20}$ に黒色が書き込まれた画素ラインに続く画素ラインの少なくとも1つに書き込まれる。ランキング期間のうちの1つの期間に黒色+Bを書き込む理由は、第2番目のフレーム期間の最初の期間 $T_1$ に供給されるデータ信号の極性(-I)が、第1番目のフレーム期間にゲート線G20に関連する最後の画素ラインに供給されるデータ信号の極性(-I)と同じであり、従って、第2フレーム期間 $T_2$ まで、そしてゲート線G7、G9及びG11に関連する画素ラインの画素のキャパシタに黒色+VBを再書き込みできないからである。ランキング期間が4つの期間を含む場合には、黒色を書き込むために、期間 $T_{B1}$ 又は $T_{B4}$ の1つを選択できる。本実施例の場合には、ゲート線G7、G9及びG11に狭いゲート・パルスGBを供給してこれらに関連する画素ラインにデータ信号+Iの黒色信号部分16を供給するために期間 $T_{B4}$ が使用される。

【0046】(第2フレーム期間の書き込み動作) 上述のように、各画素ラインに供給されるデータ信号の極性が第2番目のフレーム期間では反転されるという点を除いて、第1番目のフレーム期間と同様な動作が第2番目のフレーム期間で行われる。図8の第2番目のフレーム期間の期間 $T_1$ において、広いゲート・パルスGIがゲート線G1に供給されてLCDアレイの第1画素ラインにイメージ-Iをゲートしてイメージ-Iを表示し、そして、狭いゲート・パルスGBがゲート線G8、G10及びG12に供給されて、これらのゲート線に関連する画素ラインに黒色-Bをゲートしてこれを表示する。

【0047】同様にして、イメージ及び黒色の書き込み動作は第2番目のフレーム期間 $T_{10}$ まで続く。

【0048】期間 $T_{11}$ において、広いゲート・パルスG

期間 $T_N$   
(ケースA) :  $1 \leq N \leq 9$

	ゲート線	ゲート・パルス
N		GI
N+7		GB
N+9		GB
N+11		GB

G8、G10及びG12に狭いゲート・パルスGBが供給される。

【0053】

N	: (G10)	GI
N+7	: (G17)	GB
N+9	: (G19)	GB

【0054】

N	: (G11)	GI
N+7	: (G18)	GB
N+9	: (G20)	GB
N+10	: (G21即ちG1)	GB

【0055】

ケースBは、N=10の場合であり、そして期間 $T_{10}$ に関連する。

(ケースC) : N=11

ケースCは、期間 $T_{11}$ に関連する。

Iを使用してゲート線G11に関連する画素ラインにイメージ-Iを書き込み、そしてこれと同時に、狭いゲート・パルスGBを使用してゲート線G18、G20及びG1に関連する画素ラインに黒色-Bを書き込む動作が行われ、これによりゲート線G11に関連する画素ラインはイメージ-Iを表示し、そしてゲート線G1に関連する画素ラインは、図10(B)に示す第1黒色電圧レベル22の黒色を表示し、そしてゲート線G18に関連する画素ラインは、最終黒色電圧レベル-VBの黒色-Bを表示し、そしてゲート線G20に関連する画素ラインは、第2黒色電圧レベル23の黒色-Bを表示する。

【0049】第2フレーム期間の期間 $T_{13}$ において、LCDアレイの全ての画素ラインに最終黒色電圧レベル、即ち+VB又は-VBの黒色を書き込む動作が完了され、これにより、第1フレーム期間に全ての画素ラインに表示されたイメージが完全に消去される。

【0050】図7に示されている先行フレーム期間に対する黒色の書き込み動作について説明すると、この書き込み動作は、図7のフレーム期間が第1フレーム期間以外の期間、例えば第3、第5又は第7フレーム期間の場合に、先行フレーム期間に全ての画素ラインに表示されたイメージを消去するために行われる。

【0051】20本のゲート線を使用する例示的な実施例の、図7及び8に示した、偶数個の期間 $T_{B1}$ 乃至 $T_{B4}$ を含むランキング期間により分けられている奇数及び偶数フレーム期間のある選択された期間 $T_N$ において、幅の広い1つのゲート・パルスGI及び幅の狭い複数のゲート・パルスGBが供給されるゲート線は、次式により規定される。

【0052】

(ケースD) : N=12

N	: (G12)	GI
N+7	: (G19)	GB
N+10	: (G22即ちG2)	GB

ケースDは、期間T<sub>12</sub>に関連する。

(ケースE) : N=13

【0056】		
N	: (G13)	GI
N+7	: (G20)	GB
N+8	: (G21即ちG1)	GB
N+10	: (G23即ちG3)	GB

ケースEは、期間T<sub>13</sub>に関連する。

(ケースF) : N=14

【0057】		
N	: (G14)	GI
N+8	: (G22即ちG2)	GB
N+10	: (G24即ちG4)	GB

ケースFは、期間T<sub>14</sub>に関連する。

(ケースG) : 15≤N≤20

N		GI
N+6		GB
N+8		GB
N+10		GB

ケースGは、N=15乃至N=20の場合であり、そして期間T<sub>15</sub>乃至T<sub>20</sub>に関連する。期間T<sub>15</sub>においては、ゲート線G15に広いゲート・パルスG Iが供給され、そしてゲート線G1、G3及びG5に狭いゲート・パルスG Bが供給される。

【0058】このようにして或る1つの期間T<sub>N</sub>において、1つのゲート線に広いゲート・パルスG Iが供給されて黒色信号部分16及びイメージ信号部分17の両方をゲートし、これによりイメージがこのゲート線に関連する1画素ラインに書き込まれ、そして他の選択されたゲート線には黒色信号部分16だけをゲートする狭いゲート・パルスG Bが供給され、これによりこれらのゲート線に関連する画素ラインに黒色が書き込まれる。

【0059】図11及び12はイメージ及び残像消去用のフル・ブラック・カラーをLCDアレイに書き込む第2実施例のタイミング図を示す。LCDアレイの全ての画素のキャパシタがリセットされ、そして図11及び12に示す奇数フレーム期間が第1番目のフレーム期間であり、そして偶数フレーム期間が第2番目のフレーム期間であるとする。この場合には、図11に示されている先行フレーム期間に対する黒色の書き込み動作は行われない。第2実施例においては、奇数個の期間T<sub>B1</sub>乃至T<sub>B0</sub>、例えば5つの期間T<sub>B1</sub>乃至T<sub>B5</sub>、を有するブランкиング期間が奇数フレーム期間と偶数フレーム期間との間に設けられている。

【0060】(第1フレーム期間の書き込み動作)図11及び12に示す第1フレーム期間の期間T<sub>1</sub>乃至T<sub>20</sub>の間の動作は図7及び8に示した第1フレーム期間の動作と同じである。

【0061】(ブランкиング期間の書き込み動作)奇数期間例えば5つの期間T<sub>B1</sub>乃至T<sub>B5</sub>を有するブランкиング期間の間、データ信号の極性は交互に反転され、そしてデータ線駆動回路9に供給され、そして更にデータ信

号+I, -I, +I, -I及び+Iを使用して、黒色がゲート線G7乃至G15に関連する画素ラインに連続的に供給される。即ち、黒色信号部分16は、奇数フレーム期間の最後の期間T<sub>N</sub>即ちT<sub>20</sub>に黒色が書き込まれた画素ラインのそれぞれに続く画素ラインに書き込まれ、そしてブランкиング期間に黒色信号部分16は、数4とブランкиング期間の期間T<sub>B1</sub>乃至T<sub>B0</sub>の数との和に等しい数の画素ラインに書き込まれる。更に具体的にいうと、図9(A)に示す黒色信号部分16の黒色+Bが期間T<sub>B1</sub>にゲート線G7、G9及びG11に関連する画素ラインに供給され、図9(B)に示す黒色信号部分16の黒色-Bが期間T<sub>B2</sub>にゲート線G8、G10及びG12に関連する画素ラインに供給され、黒色+Bが期間T<sub>B3</sub>にゲート線G9、G11及びG13に関連する画素ラインに供給され、以下この動作が繰り返される。奇数個の期間を有するブランкиング期間を使用することにより、データ信号の極性は各期間T<sub>B1</sub>乃至T<sub>B5</sub>において反転され、これによりデータ信号-Iが第2フレーム期間の最初の期間T<sub>1</sub>に最初の画素ラインに供給される。

【0062】(第2フレーム期間の書き込み動作)上述のように、各画素ラインに供給されるデータ信号の極性が第2番目のフレーム期間では反転されるという点を除いて、第1番目のフレーム期間と同様な動作が第2番目のフレーム期間で行われる。図12に示す第2フレーム期間の期間T<sub>1</sub>において、広いゲート・パルスG Iがゲート線G1に供給されてLCDアレイの第1画素ラインにイメージ-Iをゲートしてイメージ-Iを表示し、そして、狭いゲート・パルスG Bがゲート線G12、G14及びG16に供給されて、これらのゲート線に関連する画素ラインに黒色-Bをゲートしてこれを表示する。

【0063】イメージ及び黒色の書き込み動作は第2番目のフレーム期間T<sub>10</sub>まで続く。

【0064】期間T<sub>11</sub>において、広いゲート・パルスG

Iを使用してゲート線G11に関連する画素ラインにイメージIを書き込み、そしてこれと同時に、狭いゲート・パルスGBを使用してゲート線G1に関連する画素ラインに黒色-Bを書き込む動作が行われ、これによりゲート線G11に関連する画素ラインはイメージIを表示し、そしてゲート線G1に関連する画素ラインは、図10(B)に示す第1黒色電圧レベル22の黒色を表示する。このようにして、イメージ及び黒色の書き込み動作は第2フレーム期間の間繰り返される。1つの画素ラインに対してイメージを書き込む動作と、この画素ラインに対して黒色を書き込む動作の開始との間の時間遅延はF/2に等しいことが明らかである。ここで、Fは1フレーム期間の長さである。

【0065】奇数期間を含むブランкиング期間を使用することにより、黒色は、第1フレーム期間、ブランкиング期間及び第2フレーム期間に亘ってゲート線G1乃至G20に関連する画素ラインに連続的に書き込まれ、これにより、イメージの表示開始時刻と黒色の表示開始時刻との間の時間遅延の長さは各画素ライン毎に一定の値F/2に維持される。このことは、全ての画素ラインのイメージ表示期間がF/2に等しいことを意味し、これによりF/2の期間に亘って表示されるイメージの入射光の積分値で表される人間の目に入るイメージの輝度が全ての画素ラインに対して一定に維持される。

【0066】図11に示されている先行フレーム期間に対する黒色の書き込み動作について説明すると、この書き込み動作は、図11のフレーム期間が第1フレーム期間以外の期間、例えば第3、第5又は第7フレーム期間

ゲート線	T <sub>1</sub>	T <sub>2</sub>	T <sub>3</sub>	T <sub>4</sub>	T <sub>5</sub>	ゲート・パルス
N	:	G1	G2	G3	G4	GI
N+(Y/2)+n-4	:	G12	G13	G14	G15	GB
N+(Y/2)+n-2	:	G14	G15	G16	G17	GB
N+(Y/2)+n	:	G16	G17	G18	G19	GB

奇数フレーム期間の期間T<sub>6</sub>及びT<sub>7</sub>の間、次のゲート線が選択される。

【0070】

ゲート線	T <sub>6</sub>	T <sub>7</sub>	ゲート・パルス
N	:	G6	GI
N+(Y/2)+n-4	:	G17	GB
N+(Y/2)+n-2	:	G19	GB
N+(Y/2)+n	:	*G21	*G22

期間T<sub>6</sub>及びT<sub>7</sub>の間に選択されるゲート線G21及びG22はLCDアレイに実際に存在しない仮想ゲート線であり、従って期間T<sub>6</sub>ではゲート線G6、G17及びG19だけが選択され、そして期間T<sub>7</sub>ではゲート線G7、G18及びG20だけが選択される。仮想ゲート線を記号\*で表す。

【0071】奇数フレーム期間の期間T<sub>8</sub>及びT<sub>9</sub>の間、次のゲート線が選択される。

【0072】

の場合に、先行フレーム期間に全ての画素ラインに表示されたイメージを消去するために行われる。

【0067】第2実施例ではブランкиング期間に黒色が複数画素ラインに連続的に書き込まれるので、奇数及び偶数フレーム期間のうちのある選択された期間T<sub>n</sub>において、イメージが書き込まれる画素に関連するゲート線と、黒色が書き込まれる画素ラインに関連するゲート線とは次式により規定される。20本のゲート線を使用するこの実施例では、ゲート線の数Y=20であり、そして、数Nは、1乃至Y(=20)である。“数”n”は、ブランкиング期間に含まれる期間の数である。この実施例では、n=5である。更に実際のゲート線G1乃至G20の後に、n=5に等しい仮想的ゲート線G21乃至G25があるものとする。即ち、ここで考慮するゲート線の数は(Y+n)であり、即ち25本のゲート線である。そして、ゲート線G(Y+n+1)即ち仮想的な26番目のゲート線G26は、LCDアレイの表示面のゲート線G1として扱われる。

【0068】

ゲート線	ゲート・パルス
N	GI
N+(Y/2)+n-4	GB
N+(Y/2)+n-2	GB
N+(Y/2)+n	GB

奇数(例えば、第3フレーム期間)フレーム期間の期間T<sub>1</sub>乃至T<sub>5</sub>の間、次のゲート線が選択される。

【0069】

ゲート線	T <sub>8</sub>	T <sub>9</sub>	ゲート・パルス
N	:	G8	GI
N+(Y/2)+n-4	:	G19	GB
N+(Y/2)+n-2	:	*G21	*G22
N+(Y/2)+n	:	*G23	*G24

期間T<sub>8</sub>ではゲート線G8及びG19だけが選択され、そして期間T<sub>9</sub>ではゲート線G9及びG20だけが選択される。

【0073】奇数フレーム期間の期間T<sub>10</sub>の間、次のゲート線が選択される。

【0074】

ゲート線	T <sub>10</sub>	ゲート・パルス
N	:	G10
N+(Y/2)+n-4	:	*G21
N+(Y/2)+n-2	:	*G23
N+(Y/2)+n	:	*G25

期間T<sub>10</sub>ではゲート線G10だけが選択される。

【0075】奇数フレーム期間の期間 $T_{11}$ 及び $T_{12}$ の間、次のゲート線が選択される。

#### 【0076】

ゲート線	$T_{11}$	$T_{12}$	ゲート・パルス
N	: G11	G12	GI
$N+(Y/2)+n-4$	: *G22	*G23	
$N+(Y/2)+n-2$	: *G24	*G25	
$N+(Y/2)+n$	: G26(G1)	G27(G2)	GB

期間 $T_{11}$ ではゲート線G11及びG1だけが選択され、そして期間 $T_{12}$ ではゲート線G12及びG2だけが選択される。

【0077】奇数フレーム期間の期間 $T_{13}$ 及び $T_{14}$ の間、次のゲート線が選択される。

#### 【0078】

ゲート線	$T_{13}$	$T_{14}$	ゲート・パルス
N	: G13	G14	GI
$N+(Y/2)+n-4$	: *G24	*G25	
$N+(Y/2)+n-2$	: G26(G1)	G27(G2)	GB
$N+(Y/2)+n$	: G28(G3)	G29(G4)	GB

期間 $T_{13}$ ではゲート線G13、G1及びG3だけが選択され、そして期間 $T_{14}$ ではゲート線G14、G2およびG4だけが選択される。このようにして、残りの期間のゲート線が選択されることができる。

【0079】図13は図9に示したデータ信号の代わりに使用されうる代替的なデータ信号を示す。図13に示すデータ信号においては、フル・ブラック・カラーを規定する黒色信号部分16は2つのサブセクション16A及び16Bに分割されている。図6、9及び10に示すように、黒色信号部分16の前縁がフル・ブラック・レベル+VB又は-VBまで上昇される場合には、この急激に立ち上がる黒色信号部分16が、イメージの書き込み時に、画素のキャパシタをオーバー・チャージてしまい、このキャパシタを、所望のイメージ電圧レベルよりも大きな電圧レベルまで充電してしまうオーバー・シュートが生じることがある。図6、9及び10に示した黒色信号部分16の絶対値即ち振幅をフル・ブラック電圧+VB、-VBよりも小さい値に減少することによりこのオーバーシュートを防止することも可能である。しかしながら、黒色信号部分16の振幅の減少に基づいて、残像を十分に消去できなくなり、従ってオーバーシュートの防止と残像の消去との両方を達成できなくなる望ましくない状況が生じることがある。2つのサブ・セクション16A及び16Bに分けられている図13の黒色信号部分16は、このような望ましくない状況が生じた場合に有効であり、オーバーシュートの防止と残像の消去との両方を達成することができる。更に具体的に説明すると、サブ・セクション16Aの電圧レベルの絶対値は、オーバー・シュートを防止するために、サブセクション16Bのフル・ブラック電圧レベル+VB又は-VBの絶対値よりも小さな値に選択される。

【0080】図14は、図9に示すゲート・パルスGIの代わりに使用されうる代替的なゲート・パルスG1を示す。図14(A)及び(B)に示すゲート・パルスG1は、データ信号18及び24のイメージ信号部分17だけをゲートするようなパルス幅を有する。黒色信号部分16によるバイアス動作の助けを必要とせずに、イメージ信号部分17がゲート・パルスG1の期間内に画素のキャパシタを所望のイメージ電圧レベルにまで十分に充電できる場合にこのようなゲート・パルスG1が使用されることができる。図14(A)及び(B)に示すゲート・パルスGBは、図10の場合のように、データ信号18及び24の黒色信号部分16だけをゲートする。図14(B)においては、イメージ信号部分17は、データ信号24の前部に配置され、そしてこの後に黒色信号部分16が続き、そしてゲート・パルスGBは、黒色信号部分16をゲートするように整列されている。

【0081】表示装置の例として液晶表示装置を使用して本発明を説明したが、本発明は、複数本のゲート線を同時に付勢することができる例えばプラズマ表示装置、フィールド・エミッション表示装置のような他の表示装置においても使用されることができる。

【0082】図7及び8と図11及び12の書き込み動作では、正の極性の黒色(+B)が同じ正の極性のイメージ(+I)の後に書き込まれ、そして負の極性の黒色(-B)が同じ負の極性のイメージ(-I)の後に書き込まれたが、負の極性の黒色(-B)が反対極性のイメージ(+I)の後に書き込まれ、そして正の極性の黒色(+B)が反対極性のイメージ(-I)の後に書き込まれることができる。この理由は、人間の目は、極性に関係なくイメージ及び黒色を認識するからである。

【0083】説明及び図面を簡略化するために、水平方向に24個の画素を有しそして垂直方向に20個の画素を有するLCDアレイについて本発明を説明したが、本発明の書き込み動作は、VGA方式の $640 \times 480$ 個の画素、SVGA方式の $800 \times 600$ 個の画素、又はXGA方式の $1024 \times 768$ 個等の画素を有する表示画面を有する表示装置に対しても適用されることが明らかである。黒色信号部分16のフル・ブラック・レベル+VB又は-VBの代わりに、先行フレーム期間のイメージを十分に消去することができる任意の電圧レベルを使用することができる。画素へのイメージの書き込み動作の開始と、この画素への黒色の書き込み動作の開始との間の遅延は、図11及び12の場合にはF/2に選択されたが、この遅延の値は、先行フレーム期間の表示イメージの残像と現フレーム期間の表示イメージとの重なりに基づいて表示イメージが不鮮明になることを防止できる任意の値に選択されることができる。

#### 【0084】

【発明の効果】本発明は、LCDアレイを2つの半部分に分けることなくそして2つのデータ線駆動回路を必要

とすることなく、先行フレーム期間の表示イメージの残像と現フレーム期間の表示イメージとの重なりに基づいて表示イメージが不鮮明になることを防止して動画の質を改善することができる表示装置を実現することができる。

【図面の簡単な説明】

【図1】従来のLCD装置の概略的な構成及びゲート線へゲート・パルスを逐次的に供給するためのタイミングを示す図である。

【図2】残像の問題を解決するための従来のタイミングを示す図である。

【図3】図2の方式の問題点を解決する従来のLCD装置を示す図である。

【図4】本発明に従うLCD装置7を示す図である。

【図5】奇数及び偶数フレーム期間に印加されるデータ信号の極性を示す図である。

【図6】画素ラインに印加されるデータ信号を示す図である。

【図7】イメージ及び残像消去用のフル・ブラック・カラーをLCDアレイに書き込む第1実施例のタイミングを示す図である。

【図8】図7のタイミングに続くタイミングを示す図である。

【図9】イメージをLCDアレイに書き込むためのデー

タ信号及びゲート・パルスを示す図である。

【図10】フル・ブラック・カラーをLCDアレイに書き込むためのデータ信号及びゲート・パルスを示す図である。

【図11】イメージ及び残像消去用のフル・ブラック・カラーをLCDアレイに書き込む第2実施例のタイミングを示す図である。

【図12】図11のタイミングに続くタイミングを示す図である。

【図13】図9に示したデータ信号の代わりに使用される代替的なデータ信号を示す図である。

【図14】図9に示すゲート・パルスG1の代わりに使用される代替的なゲート・パルスG1を示す図である。

【符号の説明】

7 … LCD装置、

8 … LCDアレイ、

9 … データ線駆動回路、

10 … ゲート線駆動回路、

11 … クロック発生回路、

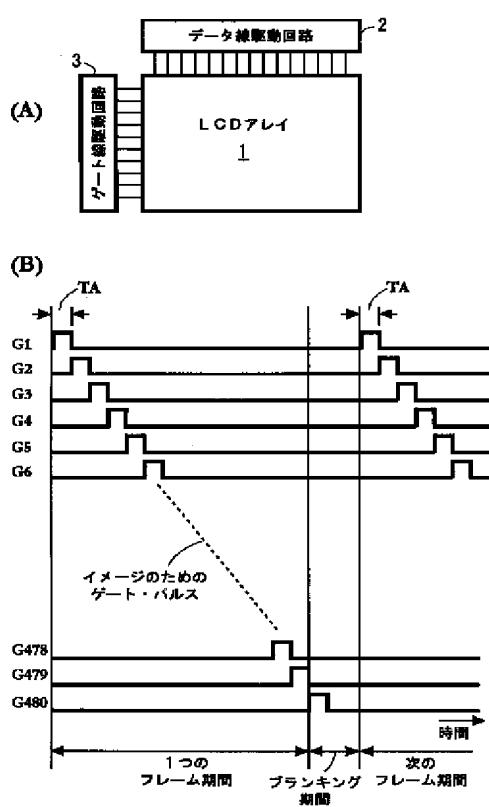
12 … TFT、

13 … 画素電極、

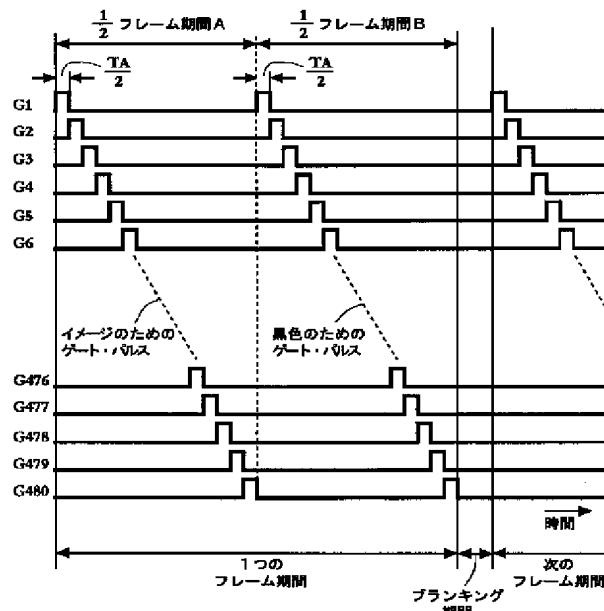
14 … 液晶層、

15 … 共通電極

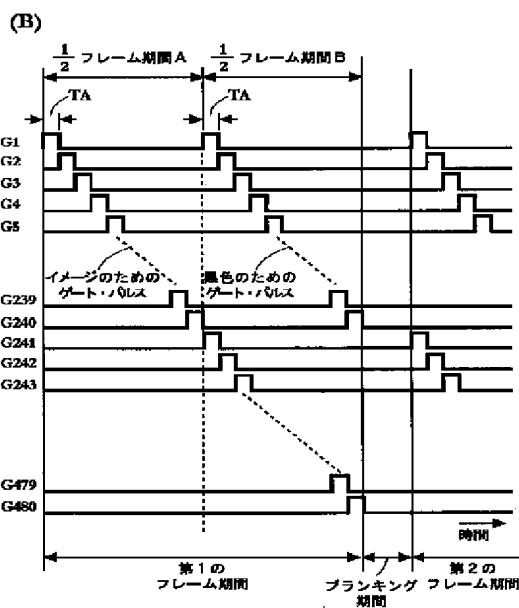
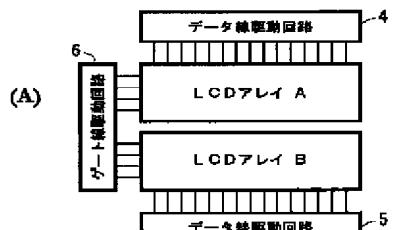
【図1】



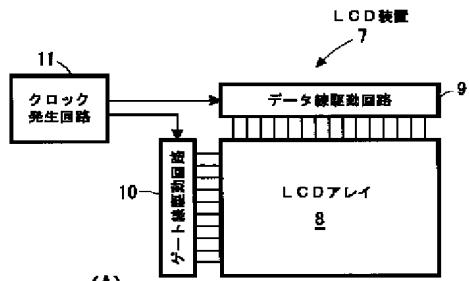
【図2】



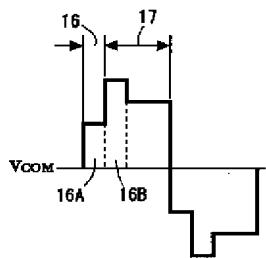
【図3】



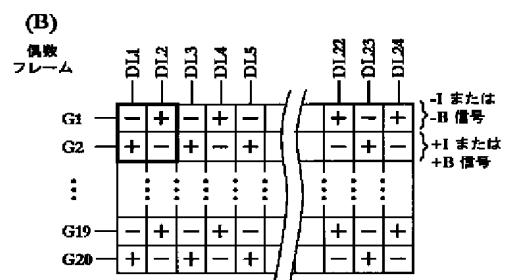
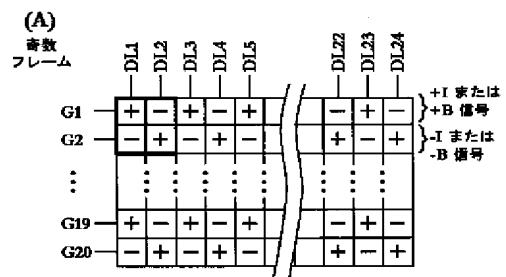
【図4】



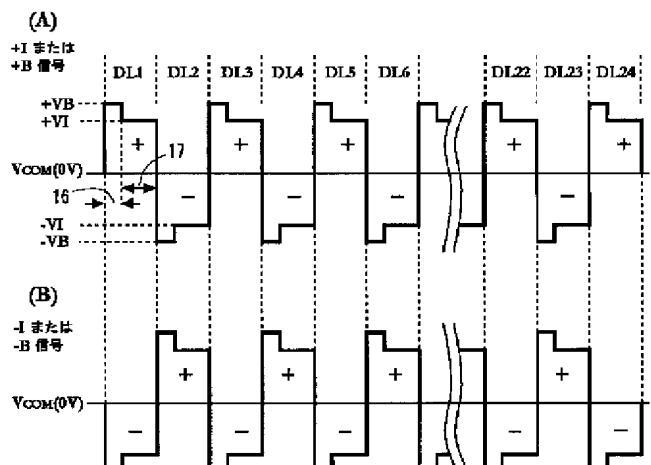
【図13】



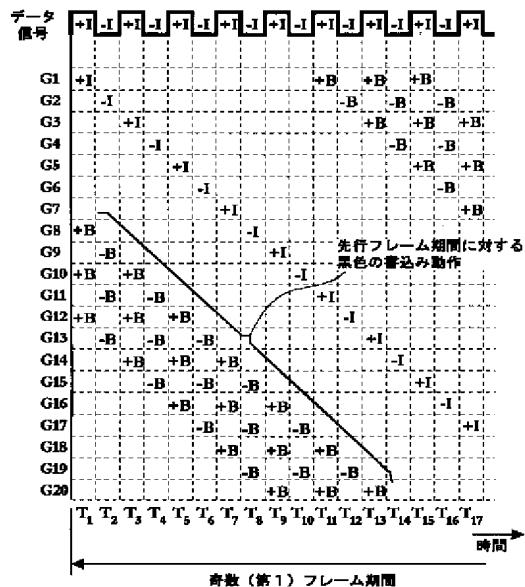
【図5】



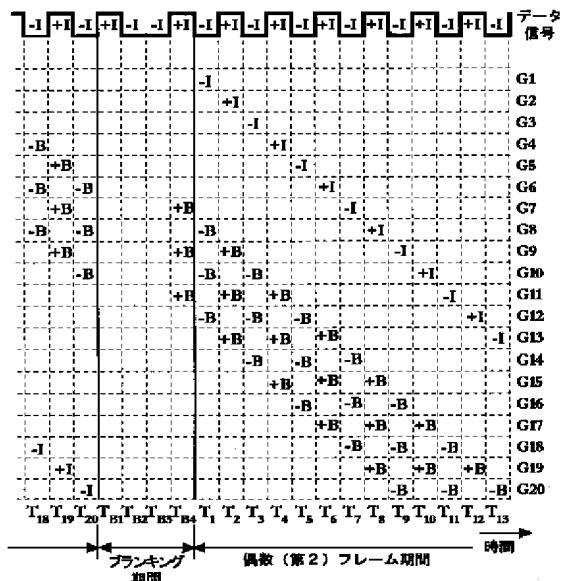
【図6】



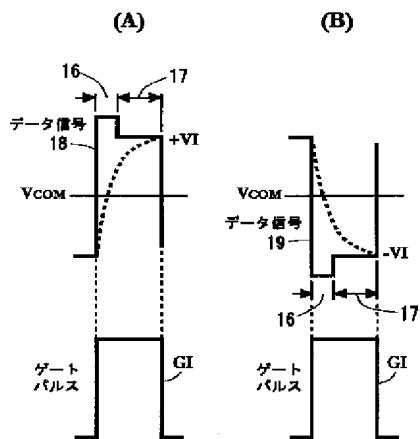
【図7】



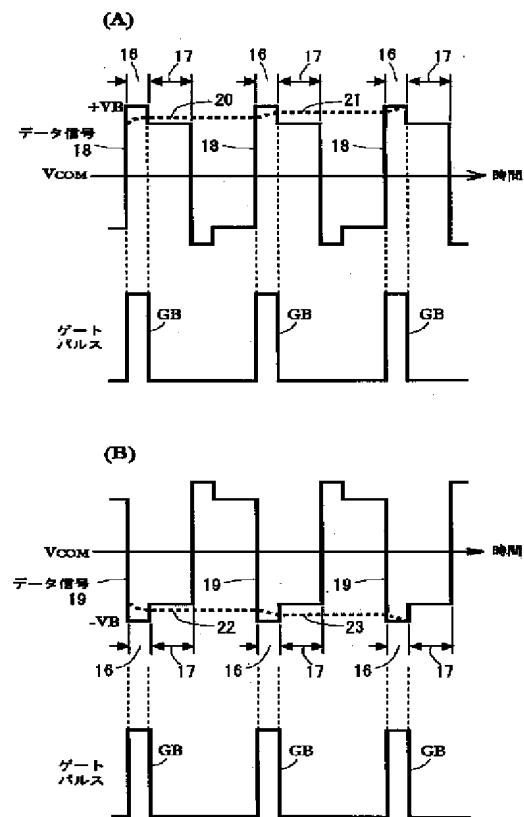
【図8】



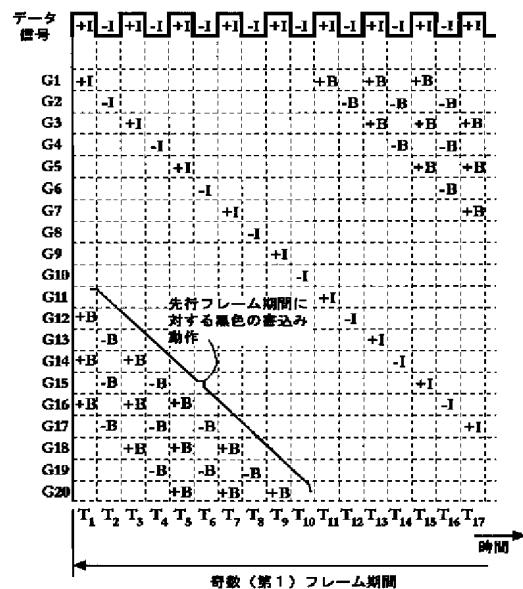
【図9】



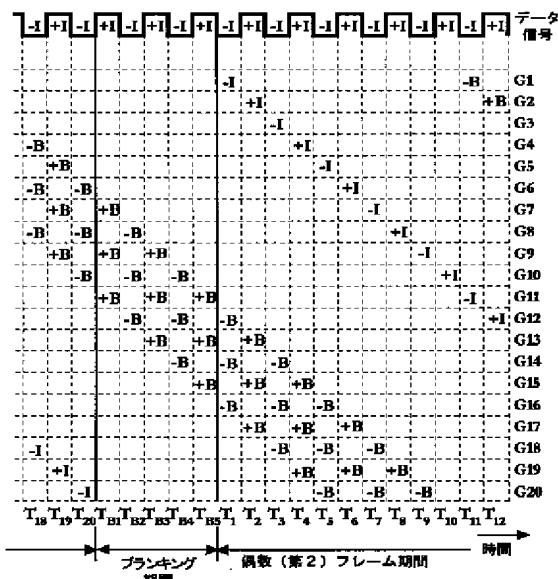
【図10】



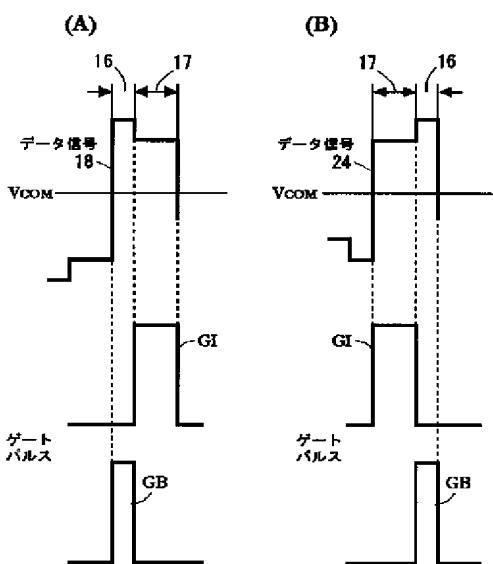
【図11】



【図12】



【図14】



フロントページの続き

(72)発明者 池▲崎▼ 充  
 神奈川県大和市下鶴間1623番地14 日本ア  
 イ・ビー・エム株式会社 大和事業所内

Fターム(参考) 2H093 NA16 NA80 NC13 NC26 NC28  
NC34 NC49 NC90 ND10 ND32  
ND43 ND58 NE10 NF28  
5C006 AA01 AA11 AC11 AC24 AC28  
AF24 AF44 BB16 BC11 FA00  
FA23  
5C080 AA05 AA10 AA18 BB05 DD01  
DD30 EE19 EE29 FF11 GG12  
JJ02 JJ03 JJ04